

EP-64419US

h.m.

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日      2003年  1月30日  
Date of Application:

出願番号      特願2003-022274  
Application Number:

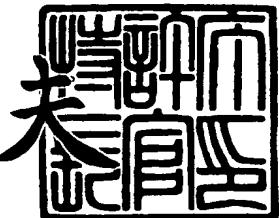
[ST. 10/C] : [JP2003-022274]

出願人      セイコーエプソン株式会社  
Applicant(s):

2003年10月22日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号 出証特2003-3087337

【書類名】 特許願  
【整理番号】 EP-0439101  
【提出日】 平成15年 1月30日  
【あて先】 特許庁長官殿  
【国際特許分類】 G06F 17/50  
**【発明者】**  
【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーホームズ株式会社内  
【氏名】 西田 治雄  
**【発明者】**  
【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーホームズ株式会社内  
【氏名】 石田 卓也  
**【特許出願人】**  
【識別番号】 000002369  
【氏名又は名称】 セイコーホームズ株式会社  
**【代理人】**  
【識別番号】 100090479  
【弁理士】  
【氏名又は名称】 井上 一  
【電話番号】 03-5397-0891  
**【選任した代理人】**  
【識別番号】 100090387  
【弁理士】  
【氏名又は名称】 布施 行夫  
【電話番号】 03-5397-0891

**【選任した代理人】**

【識別番号】 100090398

**【弁理士】**

【氏名又は名称】 大渕 美千栄

【電話番号】 03-5397-0891

**【手数料の表示】**

【予納台帳番号】 039491

【納付金額】 21,000円

**【提出物件の目録】**

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 テスト回路、集積回路及びテスト方法

【特許請求の範囲】

【請求項1】 第1のマクロブロックとの間での送受信処理を第1のクロック周波数で行う第2のマクロブロックのためのテスト回路であって、

テスト入力端子からの送信データ信号を、第1のクロック周波数よりも遅い第2のクロック周波数で蓄積するテスト用送信バッファと、

第2のマクロブロックからの受信データ信号を、第1のクロック周波数よりも遅い第3のクロック周波数でテスト出力端子に出力するテスト用受信バッファとを含み、

前記テスト用送信バッファが、

テスト入力端子からの送信データ信号を第2のクロック周波数で蓄積した後に、蓄積した送信データ信号をデータ通信用の物理層回路を含む第2のマクロブロックに対して第1のクロック周波数で出力し、

前記テスト用受信バッファが、

第2のマクロブロックからの受信データ信号を第1のクロック周波数で蓄積した後に、蓄積した受信データ信号を第3のクロック周波数でテスト出力端子に出力することを特徴とするテスト回路。

【請求項2】 請求項1において、

送信データ信号を受けた第2のマクロブロックが、第1、第2のマクロブロック間のバスとは異なる第1のバスにおいてループバックモードで送受信処理を行い、ループバックモードで受信した受信データ信号を第1のクロック周波数で第1のマクロブロック側に出力した場合に、

前記テスト用受信バッファが、

第2のマクロブロックからの受信データ信号を第1のクロック周波数で蓄積し、蓄積した受信データ信号を第3のクロック周波数でテスト出力端子に出力することを特徴とするテスト回路。

【請求項3】 請求項1又は2において、

第2のマクロブロックとの間で所定の通信手順で送受信処理を行うための通信シーケンサを含み、

前記通信シーケンサが、

テスト用送信バッファに蓄積された送信データ信号を第1のクロック周波数で第2のマクロブロックに送信する処理を行い、第2のマクロブロックからの受信データ信号を第1のクロック周波数でテスト用受信バッファに受信する処理を行うことを特徴とするテスト回路。

**【請求項4】** 請求項1乃至3のいずれかにおいて、

その第1の入力に、第1のマクロブロックからの出力信号が入力され、その第2の入力に、テスト用送信バッファからの送信データ信号が入力される第1のセレクタと、

その第1の入力に、第1のセレクタからの出力信号が入力され、その第2の入力に、第2のマクロブロックからの受信データ信号が入力される第2のセレクタとを含み、

第2のマクロブロックをテストする第2のテストモード時には、

前記第1のセレクタが、その第2の入力に入力された送信データ信号を第2のマクロブロックに出力し、前記第2のセレクタが、その第2の入力に入力された第2のマクロブロックからの受信データ信号をテスト用受信バッファに出力することを特徴とするテスト回路。

**【請求項5】** 請求項4において、

第1のマクロブロックをテストする第1のテストモード時には、

前記第1のセレクタが、その第1の入力に入力された第1のマクロブロックからの出力信号を第2のセレクタの第1の入力に出力し、前記第2のセレクタが、その第1の入力に入力された第1のセレクタからの出力信号を第1のマクロブロックに出力することを特徴とするテスト回路。

**【請求項6】** 請求項5において、

テスト回路に対して第1のマクロブロックと共にスキャンパスが設定され、

前記第1のテストモードが、

前記スキャンパスを用いてスキャン手法でテストを行うスキャンモードである

ことを特徴とするテスト回路。

**【請求項 7】** 請求項 6において、

第1のマクロブロックからテスト回路への出力信号の本数が I 本であり、テスト回路から第1のマクロブロックへの入力信号の本数が J 本 ( $I > J$ ) である場合に、第1のセレクタからの I 本の出力信号のうちの ( $I - J$ ) 本の出力信号を保持する ( $I - J$ ) 個のダミーのスキャン用フリップフロップを含み、

前記スキャンモード時において、前記ダミーのスキャン用フリップフロップが、保持された出力信号をスキャンパスを介して出力することを特徴とするテスト回路。

**【請求項 8】** 請求項 1乃至 7 のいずれかのテスト回路と、

前記第1のマクロブロックと、

前記第2のマクロブロックと、

を含むことを特徴とする集積回路。

**【請求項 9】** 第1のマクロブロックとの間での送受信処理を第1のクロック周波数で行う第2のマクロブロックを、テスト用送信バッファとテスト用受信バッファを含むテスト回路を用いてテストするテスト方法であって、

テスト入力端子からの送信データ信号を、第1のクロック周波数よりも遅い第2のクロック周波数でテスト用送信バッファに蓄積し、送信データ信号を蓄積した後に、蓄積した送信データ信号を、データ通信用の物理層回路を含む第2のマクロブロックに対して第1のクロック周波数で出力し、

第2のマクロブロックからの受信データ信号を、第1のクロック周波数でテスト用受信バッファに蓄積し、受信データ信号を蓄積した後に、蓄積した受信データ信号を、第1のクロック周波数よりも遅い第3のクロック周波数でテスト出力端子に出力することを特徴とするテスト方法。

**【請求項 10】** 請求項 9において、

送信データ信号を受けた第2のマクロブロックが、ループバックモードで送受信処理を行い、ループバックモードで受信した受信データ信号を第1のクロック周波数で出力した場合に、出力された受信データ信号を第1のクロック周波数でテスト用受信バッファに蓄積し、蓄積した受信データ信号を第3のクロック周波

数でテスト出力端子に出力することを特徴とするテスト方法。

【請求項 11】 請求項 9 又は 10 において、

前記テスト回路が、第 2 のマクロブロックとの間で所定の通信手順で送受信処理を行うための通信シーケンサを含み、

前記通信シーケンサを用いて、テスト用送信バッファに蓄積された送信データ信号を第 1 のクロック周波数で第 2 のマクロブロックに送信し、

前記通信シーケンサを用いて、第 2 のマクロブロックからの受信データ信号を第 1 のクロック周波数でテスト用受信バッファに受信することを特徴とするテスト方法。

【請求項 12】 請求項 9 乃至 11 のいずれかにおいて、

前記テスト回路が、

その第 1 の入力に、第 1 のマクロブロックからの出力信号が入力され、その第 2 の入力に、テスト用送信バッファからの送信データ信号が入力される第 1 のセレクタと、

その第 1 の入力に、第 1 のセレクタからの出力信号が入力され、その第 2 の入力に、第 2 のマクロブロックからの受信データ信号が入力される第 2 のセレクタとを含み、

第 2 のマクロブロックをテストする第 2 のテストモード時には、

前記第 1 のセレクタの第 2 の入力に入力された送信データ信号を、第 2 のマクロブロックに出力し、

前記第 2 のセレクタの第 2 の入力に入力された第 2 のマクロブロックからの受信データ信号を、テスト用受信バッファに出力することを特徴とするテスト方法。

【請求項 13】 請求項 12 において、

第 1 のマクロブロックをテストする第 1 のテストモード時には、

前記第 1 のセレクタの第 1 の入力に入力された第 1 のマクロブロックからの出力信号を、第 2 のセレクタの第 1 の入力に出力し、

前記第 2 のセレクタの第 1 の入力に入力された第 1 のセレクタからの出力信号を、第 1 のマクロブロックに出力することを特徴とするテスト方法。

**【請求項 14】** 請求項 13において、  
テスト回路に対して第1のマクロブロックと共にスキャンパスを設定し、  
前記第1のテストモード時において、スキャンパスを用いてスキャン手法でテ  
ストを行うことを特徴とするテスト方法。

**【請求項 15】** 請求項 14において、  
第1のマクロブロックからテスト回路への出力信号の本数が I 本であり、テス  
ト回路から第1のマクロブロックへの入力信号の本数が J 本 ( $I > J$ ) である場  
合に、第1のセレクタからの I 本の出力信号のうちの ( $I - J$ ) 本の出力信号を  
ダミーのスキャン用フリップフロップに保持し、  
前記スキャンモード時において、保持された出力信号をスキャンパスを介して  
出力することを特徴とするテスト方法。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、テスト回路、集積回路及びテスト方法に関する。

##### 【0002】

##### 【背景技術】

近年、USB (Universal Serial Bus) 1.1 規格に対する下位互換性を持ち  
ながら、USB 1.1 に比べて格段に高速なデータ転送速度を実現できる USB  
2.0 規格が策定され、注目を浴びている。また、USB 2.0 の物理層回路や  
、論理層回路の一部についてのインターフェース仕様を定義した UMTI (USB2  
.0 Transceiver Macrocell Interface) も策定されている。このような UMTI  
準拠のマクロブロック (マクロセル) を用いた集積回路の従来技術としては以下  
のようなものがある。

##### 【0003】

##### 【特許文献 1】

特開 2002-343864 号公報

##### 【0004】

##### 【発明が解決しようとする課題】

さて、このUSB2.0では、従来のUSB1.1で定義されていたFS (Full Speed) モードに加えて、HS (High Speed) モードと呼ばれる転送モードが用意されている。このHSモードでは480Mbpsでデータ転送が行われるため、12Mbpsでデータ転送が行われるFSモードに比べて高速なデータ転送を実現できる。

#### 【0005】

しかしながらこのような高速なデータ転送が可能なUTMIのマクロブロックでは、故障検出のためのテストが難しいという課題がある。即ちUTMIのマクロブロックとその前段のSIE (Serial Interface Engine)との間では、例えば8ビットバスで60MHzのクロック周波数（第1のクロック周波数）で送受信処理が行われる。従って、UTMIのマクロブロックの故障検出（結線不良、素子不良）を行う場合には、外部のテスタが、集積回路のテスト端子から60MHzのクロック周波数で送信データ信号を書き込んだり、60MHzのクロック周波数で受信データ信号を読み出す必要がある。ところが、テスト端子には大きな寄生容量が寄生しているため、テスト端子のI/Oセルでの信号遅延が大きい。従って、60MHzという高速なクロック周波数でテストしようとすると、テスト結果と期待値との間のミスマッチが大きくなってしまい、安定したテストを実現できなくなるおそれがある。

#### 【0006】

特にUTMIのマクロブロックでは、内蔵するアナログ回路や高速デジタル回路が、クロック周波数を480MHz (60MHz) に設定しないとHSモードで動作しないという特殊事情がある。また480MHz (60MHz) でテストを行わなければ、HSモードでの高速動作を保証できず、信頼性が低下するおそれもある。

#### 【0007】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、高速なデータ通信用の物理層回路を含むマクロブロックのテストに最適なテスト回路、これを含む集積回路、及びこれを用いたテスト方法を提供することにある。

### 【0008】

#### 【課題を解決するための手段】

本発明は、第1のマクロブロックとの間での送受信処理を第1のクロック周波数で行う第2のマクロブロックのためのテスト回路であって、テスト入力端子からの送信データ信号を、第1のクロック周波数よりも遅い第2のクロック周波数で蓄積するテスト用送信バッファと、第2のマクロブロックからの受信データ信号を、第1のクロック周波数よりも遅い第3のクロック周波数でテスト出力端子に出力するテスト用受信バッファとを含み、前記テスト用送信バッファが、テスト入力端子からの送信データ信号を第2のクロック周波数で蓄積した後に、蓄積した送信データ信号をデータ通信用の物理層回路を含む第2のマクロブロックに対して第1のクロック周波数で出力し、前記テスト用受信バッファが、第2のマクロブロックからの受信データ信号を第1のクロック周波数で蓄積した後に、蓄積した受信データ信号を第3のクロック周波数でテスト出力端子に出力するテスト回路に関係する。

### 【0009】

本発明によれば、テスト入力端子からの送信データ信号は、遅い第2のクロック周波数（第2の速度）でテスト用送信バッファに蓄積される。そして蓄積後には、テスト用送信バッファの送信データ信号が、速い第1のクロック周波数（第1の速度）で読み出されて、第2のマクロブロックに出力される。また本発明によれば、第2のマクロブロックからの受信データ信号は、速い第1のクロック周波数でテスト用受信バッファに蓄積される。そして蓄積後に、テスト用受信バッファの受信データ信号が、遅い第3のクロック周波数（第3の速度）で読み出されて、テスト出力端子に出力される。なお、第3のクロック周波数は、第2のクロック周波数と同じであってもよいし、異なっていてもよい。

### 【0010】

このように本発明によれば、テスト入力端子からテスト用送信バッファへの送信データ信号の蓄積（書き込み）や、テスト用受信バッファからテスト出力端子への受信データ信号の出力（読み出し）が、遅い第2、第3のクロック周波数で行われる。従って、テスト入力端子やテスト出力端子において信号遅延が生じて

も、時間的な余裕を持ってテストを行うことができ、安定したテスト結果を得ることができる。

#### 【0011】

また本発明によれば、テスト用送信バッファから第2のマクロブロックへの出力処理や、第2のマクロブロックからテスト用受信バッファへの蓄積処理は、速い第1のクロック周波数で行われる。従って、第2のマクロブロックが、第1のマクロブロックとの間の送受信処理を、速い第1のクロック周波数で行う場合にも、この第2のマクロブロックに最適なテスト手法を提供できる。

#### 【0012】

また本発明では、送信データ信号を受けた第2のマクロブロックが、第1、第2のマクロブロック間のバスとは異なる第1のバスにおいてループバックモードで送受信処理を行い、ループバックモードで受信した受信データ信号を第1のクロック周波数で第1のマクロブロック側に出力した場合に、前記テスト用受信バッファが、第2のマクロブロックからの受信データ信号を第1のクロック周波数で蓄積し、蓄積した受信データ信号を第3のクロック周波数でテスト出力端子に出力するようにしてもよい。

#### 【0013】

なお第2のマクロブロックの第1のバス（例えばUSB、IEEE1394）での送受信処理は、ループバックモードで行うことが望ましいが、ループバックモードで行わないようにしてもよい。

#### 【0014】

また本発明では、第2のマクロブロックとの間で所定の通信手順で送受信処理を行うための通信シーケンサを含み、前記通信シーケンサが、テスト用送信バッファに蓄積された送信データ信号を第1のクロック周波数で第2のマクロブロックに送信する処理を行い、第2のマクロブロックからの受信データ信号を第1のクロック周波数でテスト用受信バッファに受信する処理を行うようにしてもよい。

#### 【0015】

このようにすれば、第2のマクロブロックとの間の送受信処理が通信シーケン

サにより自動的に行われるようになるため、テスト効率を向上できる。なお、通信シーケンサが、送信処理機能と受信処理機能のいずれか一方のみを持つようにしてもよい。

#### 【0016】

また本発明では、その第1の入力に、第1のマクロブロックからの出力信号が入力され、その第2の入力に、テスト用送信バッファからの送信データ信号が入力される第1のセレクタと、その第1の入力に、第1のセレクタからの出力信号が入力され、その第2の入力に、第2のマクロブロックからの受信データ信号が入力される第2のセレクタとを含み、第2のマクロブロックをテストする第2のテストモード時には、前記第1のセレクタが、その第2の入力に入力された送信データ信号を第2のマクロブロックに出力し、前記第2のセレクタが、その第2の入力に入力された第2のマクロブロックからの受信データ信号をテスト用受信バッファに出力するようにしてもよい。

#### 【0017】

また本発明では、第1のマクロブロックをテストする第1のテストモード時には、前記第1のセレクタが、その第1の入力に入力された第1のマクロブロックからの出力信号を第2のセレクタの第1の入力に出力し、前記第2のセレクタが、その第1の入力に入力された第1のセレクタからの出力信号を第1のマクロブロックに出力するようにしてもよい。

#### 【0018】

このようにすれば、例えば、第1のテストモードを用いることで、第1のマクロブロックとテスト回路との接続部分の故障検出が可能になる。また、第2のテストモードを用いることで、テスト回路と第2のマクロブロックとの接続部分の故障検出が可能になる。これにより、第1、第2のマクロブロック間の接続部分の故障検出が可能になる。

#### 【0019】

なお通常動作モード（第1、第2のテストモードではないモード）においては、第1のセレクタが、その第1の入力に入力された第1のマクロブロックからの出力信号を第2のマクロブロックに出力し、第2のセレクタが、その第2の入力

に入力された第2のマクロブロックからの出力信号を第1のマクロブロックに出力してもよい。また第1、第2のセレクタが備える入力は、第1、第2の入力に限定されず、3以上の入力を備えていてもよい。

#### 【0020】

また本発明では、テスト回路に対して第1のマクロブロックと共にスキャンパスが設定され、前記第1のテストモードが、前記スキャンパスを用いてスキャン手法でテストを行うスキャンモードであってもよい。

#### 【0021】

ここでスキャンパスが設定されるとは、例えば、スキャンイン端子（1又は複数本）からスキャン用フリップフロップ（スキャン回路）を介してスキャンアウト端子（1又は複数本）に至るパスが設定されることをいう。

#### 【0022】

また本発明は、第1のマクロブロックからテスト回路への出力信号の本数がI本であり、テスト回路から第1のマクロブロックへの入力信号の本数がJ本（I > J）である場合に、第1のセレクタからのI本の出力信号のうちの（I - J）本の出力信号を保持する（I - J）個のダミーのスキャン用フリップフロップを含み、前記スキャンモード時において、前記ダミーのスキャン用フリップフロップが、保持された出力信号をスキャンパスを介して出力するようにしてもよい。

#### 【0023】

このようにすれば、第1のマクロブロックからのI本の出力信号（第1～第Iの出力信号）のうち、（I - J）本の出力信号（第J～第Iの出力信号）の結線不良等も効率良く調べることが可能になる。

#### 【0024】

また本発明は上記のいずれかのテスト回路と、前記第1のマクロブロックと、前記第2のマクロブロックとを含む集積回路に関係する。

#### 【0025】

また本発明は、第1のマクロブロックとの間での送受信処理を第1のクロック周波数で行う第2のマクロブロックを、テスト用送信バッファとテスト用受信バッファを含むテスト回路を用いてテストするテスト方法であって、テスト入力端

子からの送信データ信号を、第1のクロック周波数よりも遅い第2のクロック周波数でテスト用送信バッファに蓄積し、送信データ信号を蓄積した後に、蓄積した送信データ信号を、データ通信用の物理層回路を含む第2のマクロブロックに対して第1のクロック周波数で出力し、第2のマクロブロックからの受信データ信号を、第1のクロック周波数でテスト用受信バッファに蓄積し、受信データ信号を蓄積した後に、蓄積した受信データ信号を、第1のクロック周波数よりも遅い第3のクロック周波数でテスト出力端子に出力するテスト方法に関係する。

#### 【0026】

また本発明では、送信データ信号を受けた第2のマクロブロックが、ループバックモードで送受信処理を行い、ループバックモードで受信した受信データ信号を第1のクロック周波数で出力した場合に、出力された受信データ信号を第1のクロック周波数でテスト用受信バッファに蓄積し、蓄積した受信データ信号を第3のクロック周波数でテスト出力端子に出力するようにしてもよい。

#### 【0027】

また本発明では、前記テスト回路が、第2のマクロブロックとの間で所定の通信手順で送受信処理を行うための通信シーケンサを含み、前記通信シーケンサを用いて、テスト用送信バッファに蓄積された送信データ信号を第1のクロック周波数で第2のマクロブロックに送信し、前記通信シーケンサを用いて、第2のマクロブロックからの受信データ信号を第1のクロック周波数でテスト用受信バッファに受信するようにしてもよい。

#### 【0028】

また本発明では、前記テスト回路が、その第1の入力に、第1のマクロブロックからの出力信号が入力され、その第2の入力に、テスト用送信バッファからの送信データ信号が入力される第1のセレクタと、その第1の入力に、第1のセレクタからの出力信号が入力され、その第2の入力に、第2のマクロブロックからの受信データ信号が入力される第2のセレクタとを含み、第2のマクロブロックをテストする第2のテストモード時には、前記第1のセレクタの第2の入力に入力された送信データ信号を、第2のマクロブロックに出力し、前記第2のセレクタの第2の入力に入力された第2のマクロブロックからの受信データ信号を、テ

スト用受信バッファに出力するようにしてもよい。

### 【0029】

また本発明では、第1のマクロブロックをテストする第1のテストモード時には、前記第1のセレクタの第1の入力に入力された第1のマクロブロックからの出力信号を、第2のセレクタの第1の入力に出力し、前記第2のセレクタの第1の入力に入力された第1のセレクタからの出力信号を、第1のマクロブロックに出力するようにしてもよい。

### 【0030】

また本発明では、テスト回路に対して第1のマクロブロックと共にスキャンパスを設定し、前記第1のテストモード時において、スキャンパスを用いてスキャン手法でテストを行うようにしてもよい。

### 【0031】

また本発明では、第1のマクロブロックからテスト回路への出力信号の本数がI本であり、テスト回路から第1のマクロブロックへの入力信号の本数がJ本（ $I > J$ ）である場合に、第1のセレクタからのI本の出力信号のうちの（ $I - J$ ）本の出力信号をダミーのスキャン用フリップフロップに保持し、前記スキャンモード時において、保持された出力信号をスキャンパスを介して出力するようにしてもよい。

### 【0032】

#### 【発明の実施の形態】

以下、本実施形態について説明する。なお、以下に説明する本実施形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また本実施形態で説明される構成の全てが本発明の解決手段として必須であるとは限らない。

### 【0033】

#### 1．マクロブロックの送受信テスト

図1（A）に、複数のマクロブロックMB1、MB2（マクロセル、回路ブロック）を接続することで構成される集積回路の例を示す。ここでMB2はデータ通信用の物理層回路PHYを含むマクロブロックであり、例えばUTMI（USB2

.0 Transceiver Macrocell Interface) に準拠したマクロブロックである。また MB 1 は、MB 2 を制御する回路である SIE (Serial Interface Engine) などを含むマクロブロックである。

#### 【0034】

図1 (A) に示すような集積回路の故障検出を行う場合に、例えば図1 (B) に示すようにマクロブロック MB 1 内部の故障検出については、MB 1 にスキャンパスを設定して行う公知のスキャン手法により実現できる。

#### 【0035】

一方、マクロブロック MB 2 内部の故障検出についても、例えばテスト入力端子 TPI からテスト入力信号 TIN を入力し、その結果であるテスト出力信号 TOUT をテスト出力端子 TPO から出力することで実現できる。より具体的には、マクロブロック MB 2 の USB (広義には第1のバス) 上での送受信処理をループバックモードに設定し、USB 上で送信した送信データ信号を MB 2 自身が受信データ信号として受信できるようとする。そして外部のテスタがテスト入力端子 TPI から送信データ信号 TIN を入力すると、マクロブロック MB 2 が入力された送信データ信号を USB 上で送信する。そしてループバックモードに設定された MB 1 が、その送信データ信号を受信データ信号として USB 上で受信すると、その受信データ信号がマクロブロック MB 1 側に出力され、テスト出力端子 TPO を介して外部のテスタにより読み出される。そしてテスタは、読み出された受信データ信号が期待値と一致するか否かを判定する。

#### 【0036】

さて、マクロブロック MB 2 は、USB 上で例えば 480MHz のクロック周波数でデータの送受信処理を行う。このため、マクロブロック MB 2 と、SIE を含むマクロブロック MB 1との間の送受信処理は例えば 60MHz のクロック周波数 (第1のクロック周波数 CF1) で行われることになる。従って、テスト入力端子 TPI から送信データ信号 TIN を入力する場合には、60MHz のクロック周波数 (CF1) で入力する必要がある。またテスト出力端子 TPO から受信データ信号 TOUT を出力する場合にも、60MHz のクロック周波数で出力する必要がある。

### 【0037】

ところが、テスト端子TPI、TPOには一般的に大きな寄生容量が寄生している。従って、テスト端子のI/Oセルでの信号遅延値が大きく、集積回路の製造プロセスの変動や温度変動によって信号遅延値が大きくばらつく。従って、60MHzという高速なクロック周波数で、端子TPIを介して信号TINを入力したり、端子TPOを介して信号TOUTを読み出すと、信号遅延が原因となってテスト結果と期待値との間にミスマッチが生じる。従って、安定したテスト結果を得ることができないという課題がある。

### 【0038】

更に図1（B）に示すような手法でテストした場合に、接続部分10（I本の信号SC12の結線及びJ本の信号SC21の結線）の故障検出が難しいという課題もある。即ち、マクロブロックMB1にスキャンパスを設定してテストしたとしても、接続部分10（信号SC12、SC21）の故障検出率を例えば90パーセント以上にできるテストパターンの作成は困難である。このためテストパターン開発の長期化や高コスト化を招く。

### 【0039】

また図1（B）の手法では、（I+J）本のテスト端子TPI、TPOを設ける必要があるため、端子数が増加してしまい、集積回路の高コスト化を招くという課題もある。そこで、以上のような課題を解決できるテスト回路の実現が望まれる。

### 【0040】

#### 2. テスト回路

図2に本実施形態のテスト回路TC及びこれを含む集積回路の例を示す。なお図2ではマクロブロックの数を2個としているが、本実施形態の集積回路は3個以上のマクロブロックを含んでもよい。

### 【0041】

図2においてマクロブロック（回路ブロック）MB1、MB2は、1又は複数の特定機能を有する回路（例えば通信用回路、通信用回路を制御する回路、バスとのインターフェース回路、RAM、CPU、DSP、液晶ドライバ、CCDコ

ントローラ、或いはユーザのカスタム回路等）を有する回路ブロックである。

#### 【0042】

より具体的にはMB2は、通信用の物理層回路PHYを含む通信用のマクロブロックであり、更に具体的にはUTMI仕様（特定のインターフェース規格）に準拠したマクロブロックである。またMB1は、例えばMB2を制御する回路（SIE）、バッファ、インターフェース回路、或いはユーザのカスタム回路などを含むマクロブロックである。別の言い方をすればMB1は、ロジック回路により構成されるマクロブロックであり、MB2は、通信用物理層回路PHYなどのアナログ回路を含むマクロブロックである。そしてMB2は、送信データ信号、受信データ信号の送受信処理を、マクロブロックMB1との間で、クロック周波数CF1（CF1のクロック信号）で行うマクロブロックである。

#### 【0043】

テスト回路TCはテスト用送信バッファTXBを含む。このTXBは、テスト入力端子TPIからの送信データ信号TI（テスト入力信号）を、CF1（第1のクロック周波数）よりも遅いCF2（第2のクロック周波数）で蓄積(store)するバッファである。より具体的にはTXBは、周波数CF2のクロック信号に同期してTPIからの信号TIを蓄積するバッファである。

#### 【0044】

テスト回路TCはテスト用受信バッファRXBを含む。このRXBは、受信データ信号TO（テスト出力信号）を周波数CF1よりも遅い周波数CF3（第3のクロック周波数）でテスト出力端子TPOに出力するバッファである。より具体的にはRXBは、周波数CF3のクロック信号に同期して信号TOをTPOに出力するバッファである。

#### 【0045】

図3(A)を用いて説明すれば、本実施形態では、テスト用送信バッファTXBが、テスト入力端子TPIからの送信データ信号TIを、遅いクロック周波数CF2で蓄積する（CF2のクロック信号に同期して蓄積する）。即ち外部のテストが、端子TPIを介して送信データ信号を周波数CF2でTXBに書き込む。そしてTXBは、蓄積が終了した後に（所定バイト数のデータの蓄積後に）、

図3（B）に示すように、蓄積した送信データ信号TINを、マクロブロックMB2に対して、CF2よりも速い周波数CF1で出力する（CF1のクロック信号に同期して出力する）。すると、マクロブロックMB2は、周波数CF1で送信データ信号TINを受け取る。

#### 【0046】

その後、マクロブロックMB2は、受信データ信号TOUTを、速い周波数CF1でテスト回路TCに出力する。より具体的には、送信データ信号TINを受けたマクロブロックMB2が、USB（広義には第1のバス）上においてループバックモードで送受信処理を行い、ループバックモードで受信した受信データ信号を、周波数CF1でマクロブロックMB1側（テスト回路TC側）に出力する。

#### 【0047】

すると図3（C）に示すように、テスト用受信バッファRXBが、マクロブロックMB2からの受信データ信号TOUTを、速いクロック周波数CF1で蓄積する（CF1のクロック信号に同期して蓄積する）。そしてRXBは、蓄積が終了した後に、蓄積した受信データ信号TIを、遅いクロック周波数CF3でテスト出力端子TPOに出力する（CF3のクロック信号に同期して出力する）。即ち、外部のテスタが、端子TPOを介して受信データ信号を周波数CF3でRXBから読み出す。そして、読み出された受信データ信号と期待値とを比較して、テストの合否を判定する。なおCF2とCF3は同一の周波数であってもよいし、異なる周波数であってもよい。

#### 【0048】

以上のように本実施形態では、遅い周波数CF2で送信バッファTXBに受信データを溜めた後、溜めた受信データを速い周波数CF1でTXBから読み出ししている。またMB2からの受信データを、速い周波数CF1で受信バッファRXBに溜めた後、溜めた受信データを遅い周波数CF3でRXBから読み出している。

#### 【0049】

従って、端子TPIを介した送信バッファTXBへの書き込み処理や、TPO

を介した受信バッファRXBからの読み出し処理を、遅い周波数CF2、CF3で行うことができる。従って、テスタは、信号の書き込み処理や読み出し処理を余裕を持って行うことができるようになる。この結果、これらの端子TPI、TPOのI/Oセルで信号遅延が生じたとしても、テスト結果と期待値との比較処理を問題なく行うことが可能になり、安定したテスト動作を実現できる。

#### 【0050】

またUTMI準拠のマクロブロックMB2では、それが含むアナログ回路や光速ロジック回路が、HSモード時に480MHz(60MHz)の周波数でしか動作しないという問題がある。また480MHzでマクロブロックMB2を動作させてテストしないと、USB2.0のHSモードでの高速動作を確実に保証できないおそれもある。

#### 【0051】

本実施形態によれば、送信バッファTXBからの送信データ信号の出力や、受信バッファRXBへの受信データ信号の蓄積は、速い周波数CF1(60MHz)で行うことができる。従って、マクロブロックMB2を速い周波数(アナログ回路や高速ロジック回路については480MHz、インターフェース回路については60MHz)で動作させることができると共に、テストの信頼性も向上できるようになる。

#### 【0052】

図4に、図2のテスト回路の動作を説明するための波形図を示す。TCKはテスト用のクロック信号であり、TADは、送信バッファTXB、受信バッファRXBのアドレスを指定するためのアドレス信号である。またTWRはTXBのライト信号であり、TRDはRXBのリード信号である。またWCKは、TXBに対して送信データ信号を書き込むためのクロック信号であり、このWCKは例えばTCKとTWRにより生成できる。またRCKは、RXBから受信データ信号を読み出すためのクロック信号であり、このRCKは例えばTCKとTRDにより生成できる。

#### 【0053】

図4のB1に示すように、図3（A）で説明した送信バッファTXBへの書き込み処理は、遅い周波数CF2のクロック信号WCKにより行われる。

#### 【0054】

また図4のB2に示すように、図3（B）で説明した送信バッファTXBからの送信データ信号の読み出し処理や受信バッファRXBへの受信データ信号の書き込み処理（MB2の送受信処理）は、速い周波数CF1のクロック信号TCKにより行われる。

#### 【0055】

また図4のB3に示すように、図3（C）で説明した受信バッファRXBからの受信データ信号の読み出し処理は、遅い周波数CF3のクロック信号RCKにより行われることになる。

#### 【0056】

##### 3. 通信シーケンサ

本実施形態では、図5に示すようにテスト回路TCに通信シーケンサCSQを含ませることができる。

#### 【0057】

ここで通信シーケンサCSQはマクロブロックMB2との間で所定の通信手順（UTMIなどの通信マクロブロック仕様に準拠した通信手順）で送受信処理を行う。そして、送信バッファTXBに、端子TPIから周波数CF2で送信データ信号が蓄積されると、その蓄積が完了した後に、通信シーケンサCSQは、送信バッファTXBに蓄積された送信データ信号を周波数CF1でマクロブロックMB2に自動送信する。

#### 【0058】

その後、CSQは、MB2からの受信データ信号を周波数CF1で自動受信して受信バッファRXBに蓄積する。そして受信バッファRXBへの受信データ信号の蓄積が完了した後に、蓄積された受信データ信号は周波数CF3で読み出されて、端子TPOに出力される。

#### 【0059】

このような通信シーケンサCSQを用いれば、送信バッファTXBから送信デ

ータ信号を読み出して送信する処理や、マクロブロックMB2から受信データ信号を受信して受信バッファRXBに書き込む処理などを、自動的に行えるようになり、テストの効率化を図れる。

### 【0060】

#### 4. 接続部分の故障検出

図1のMB1、MB2間の接続部分10での故障検出を向上できるテスト回路TCの構成例を図6に示す。

### 【0061】

このテスト回路TCはセレクタSEL1（第1のセレクタ）を含む。ここでSEL1は、その第1の入力に、MB1（第1のマクロブロック）からの出力信号M1OUTが入力される。またその第2の入力に、MB2（第2のマクロブロック）用のテスト入力信号TINが入力される。このSEL1の選択動作は選択信号SS1により制御される。

### 【0062】

テスト回路TCはセレクタSEL2（第2のセレクタ）を含む。ここでSEL2は、その第1の入力に、SEL1からの出力信号SQが入力される。また、その第2の入力に、MB2からの出力信号M2OUTが入力される。このSEL2の選択動作は選択信号SS2により制御される。

### 【0063】

そして図7（A）に示すようにMB1をテストする第1のテストモード（例えばスキャンモード）では、セレクタSEL1が、その第1の入力に入力されたMB1からの出力信号M1OUT（例えばI本）を選択して、その出力信号SQをSEL2の第1の入力に出力する。またセレクタSEL2が、その第1の入力に入力された第1のセレクタからの出力信号SQを、入力信号M1IN（例えばJ本）としてMB1に出力する。図7（A）に示すように、この第1のテストモードでは、端子DTIN（データ入力端子又はスキャンイン端子SCIN等）からテストパターン信号（論理テストパターン）を入力する。そして、端子DTON（データ出力端子又はスキャンアウト端子SCOUT等）から出力される結果と期待値とを比較して検証を行う。

### 【0064】

一方、図7（B）に示すように、MB2をテストする第2のテストモードでは、SEL1が、その第2の入力に入力されたMB2用のテスト入力信号TIN（例えばI本）を、入力信号M2IN（例えばI本）としてMB2に出力する。またSEL2が、その第2の入力に入力されたMB2からの出力信号M2OUT（例えばJ本）を、MB2用のテスト出力信号TOOUT（例えばJ本）として出力する。この第2のテストモードでは、端子TP1からテスト入力信号（論理テストパターン、送信データ信号）を入力する。そして端子TP0から出力されたテスト出力信号（論理テストパターンの結果、受信データ信号）と期待値とを比較して検証を行うことになる。

### 【0065】

なお、第1、第2のテストモードではない通常動作モード（集積回路が通常に動作するモード）では、マクロブロックMB1からの出力信号M1OUTは、セレクタSEL1を介してマクロブロックMB2への入力信号M2INとしてMB2に入力される。またマクロブロックMB2からの出力信号M2OUTは、セレクタSEL2を介してマクロブロックMB1への入力信号M1INとしてMB1に入力される。

### 【0066】

また、テスト入力信号TINは、テスト入力端子TP1から、図2で説明したテスト用送信バッファTXBを介してセレクタSEL1に入力される。またテスト出力信号TOOUTは、セレクタSEL2から、図2で説明したテスト用受信バッファRXBを介してテスト出力端子TP0に出力される。

### 【0067】

図6の本実施形態のテスト回路TCによれば、図7（A）の第1のテストモードにより、マクロブロックMB1とテスト回路TCの接続部分12の故障検出（結線不良）が可能になる。また図7（B）の第2のテストモードにより、テスト回路TCとマクロブロックMB2の接続部分14の故障検出も可能になる。これにより、結局、図1で説明したマクロブロックMB1、MB2間の接続部分10の故障検出が可能になる。

**【0068】**

しかも図7（A）の第1のテストモードにより接続部分12の故障を検出するテストパターンは比較的容易に作成（自動生成）できる。また図7（B）の第2のテストモードでの接続部分14の故障検出も容易である。更にテスト入力信号TINやテスト出力信号TOOUTを用いれば、マクロブロックMB2が通信用物理層回路などのアナログ回路を含む場合にも、そのテストを容易化できる。従つて本実施形態によれば、テストパターン開発期間の短縮化、低コスト化を図れるとと共に、故障検出率を高めて集積回路の信頼性を向上できる。

**【0069】****5. スキャン手法**

図7（A）の第1のテストモードはスキャン手法でテストを行うスキャンモードであることが望ましい。例えば図8に示すように、マクロブロックMB1のみならずテスト回路TCに対してもスキャンパスを設定する。即ち、マクロブロックMB1内のフリップフロップのみならず、テスト回路TC内のフリップフロップもスキャン用FF（スキャン回路）に置き換えて、これらのスキャン用FFをネットで結んでスキャンパス（スキャンチェーン）を構成する。別の言い方をすれば、マクロブロックMB1及びテスト回路TCを1つのマクロブロックMB12と見なして、MB12のネットリストに対して、公知のスキャンテスト用ツールを用いてスキャン用FFを挿入する（スキャンパスを設定する）。

**【0070】**

例えば図9（A）にフリップフロップFF1、FF2、FF3と、組み合わせ論理回路CM1、CM2を含む回路を示す。この回路をスキャン手法でテストする場合には、図9（B）に示すように、フリップフロップFF1、FF2、FF3を、セレクタSL1、SL2、SL3を有するスキャン用フリップフロップSFF1、SFF2、SFF3に置き換える。また組み合わせ論理回路CM1、CM2を通る通常パスをバイパスするスキャンパスSCP1、SCP2を設ける。

**【0071】**

そして、まず、スキャンイネーブル信号SCENを第1のレベル（例えばHレベル）に設定して、セレクタSL1、SL2、SL3にスキャンパス側（SCI

N側) を選択させる。そしてスキャンイン端子 S C I N からテストパターン信号をシリアルに順次入力して、フリップフロップ F F 1、F F 2、F F 3 に対してテストパターン信号を設定する。

#### 【0072】

次に、スキャンイネーブル信号 S C E N を第2のレベル（例えばLレベル）に設定し、セレクタ S L 1、S L 2、S L 3 に通常バス側（D I N 側）を選択させる。そしてクロック信号 C K を例えば1クロックパルス分だけアクティブにして、フリップフロップ F F 1、F F 2 の出力信号を組み合わせ回路 C M 1、C M 2 に入力すると共に、C M 1、C M 2 の出力信号を F F 2、F F 3 に保持する。

#### 【0073】

次に、スキャンイネーブル信号 S C E N を第1のレベルに設定して、セレクタ S L 1、S L 2、S L 3 にスキャンバス側（S C I N 側）を選択させる。そして、フリップフロップ F F 1、F F 2、F F 3 に保持されているテスト結果信号を、スキャンバス S C P 1、S C P 2 を介して、スキャンアウト端子 S C O U T からシリアルに出力し、期待値と比較する。このようにすることで、フリップフロップ F F 1、F F 2、F F 3 及び組み合わせ論理回路 C M 1、C M 2 の素子不良や、これらの回路間の結線不良をテストできる。

#### 【0074】

図10にスキャン手法を用いるテスト方法のフローチャートを示す。まず回路設計を行い、設計した回路のネットリストを生成する（ステップ S 1、S 2）。次に、公知のスキャンテスト用ツールを用いて、設計した回路にスキャン F F を挿入し、スキャン F F を含むネットリストを生成する（ステップ S 3、S 4）。次に、スキャン F F を含むネットリストを用いて論理シミュレーションを行い、テストパターンを作成（自動生成）する（ステップ S 5、S 6）。その後、回路のレイアウトを行い、マスクデータを生成する（ステップ S 7、S 8）。そして、ステップ S 6 で作成（自動生成）されたテストパターンを用いて、試作品又は量産品のテストを行う（ステップ S 9）。

#### 【0075】

以上のようなスキャン手法を用いると、マクロブロックの規模は若干大きくな

るが、スキャンFFの間にある組み合せ論理回路を切り出して部分的にテストできるようになるため、テストパターンの作成を容易化できると共に、故障検出率を向上できる。

#### 【0076】

そして本実施形態では図8に示すように、マクロブロックMB1とテスト回路TCを1つのマクロブロックMB12と見なして、マクロブロックMB1及びテスト回路TCに対して、スキャンイン端子SCINからスキャンアウト端子SCOUTに至るスキャンパスを設定している（スキャン用FFを挿入している）。従って、マクロブロックMB1とテスト回路TCの間の接続部分12の故障（結線不良）を高い故障検出率で検出できるテストパターンを容易に作成できるようになる。これによりテストパターン開発の期間短縮化、低コスト化を実現できる。

#### 【0077】

##### 6. ダミーのスキャン用フリップフロップ

本実施形態では、図11に示すようにテスト回路TCに1又は複数個のダミーのスキャン用フリップフロップDSFFを含ませることができる。

#### 【0078】

例えば図11では、マクロブロックMB1からの出力信号M1OUTの本数がI本であり、テスト回路TCからMB1への入力信号の本数がJ本（I > J。I、Jは自然数又は2以上の整数）となっている。即ち出力信号M1OUTの本数の方が入力信号M1INの本数よりも多い。このように信号本数に違いがある場合において、テスト回路TC及びマクロブロックMB1に一体的にスキャンパスを設定する図8の手法を実現するために、図11ではダミーのスキャン用フリップフロップDSFFをテスト回路TCに含ませている。

#### 【0079】

より具体的には、セレクタSEL1からのI本の出力信号（第1～第Iの出力信号）のうち、（I-J）本の出力信号（第J～第Iの出力信号）を保持する（I-J）個のダミーのスキャン用フリップフロップDSFFをテスト回路TC内に設ける。そして、図8で説明したスキャンモード（第1のテストモード）時に

おいて、ダミーのスキャン用フリップフロップDSFFが、保持した出力信号をスキャンパス（スキャンイン端子からスキャン用フリップフロップを介してスキャンアウト端子に至るパス）を介して出力するようとする。即ち、DSFFは、前段のスキャン用フリップフロップから入力された信号を保持し、保持した信号を後段のスキャン用フリップに出力する。

#### 【0080】

例えば図10のステップS2で生成されるネットリストに対して、図12（A）に示すような3個（広義には（I-J）個）のダミーのフリップフロップDFF1、DFF2、DFF3を含ませておく。これらのDFF1、DFF2、DFF3のデータ端子Dには、セレクタSEL1からのI本の出力信号のうちの（I-J）本の出力信号DIN1、DIN2、DIN3（第J～第Iの出力信号）が接続される。

#### 【0081】

そして図10のステップS4、S5で説明したスキャン手法により、ネットリスト中のDFF1、DFF2、DFF3を図12（B）に示すようにダミーのスキャン用フリップフロップDSFF1、DSFF2、DSFF3（通常動作モードにおいては意味をなさない無効なダミーのフリップフロップ）に置き換える。

#### 【0082】

そしてスキャンモード時に、SL1、SL2、SL3にDIN側を選択させて、信号DIN1、DIN2、DIN3（セレクタSEL1或いはSEL1の後段のスキャン用フリップフロップからの（I-J）本の出力信号）を、DFF1、DFF2、DFF3に保持させる。その後、SL1、SL2、SL3にSCIN側を選択させて、SCINからSCOUTに至るスキャンパスを介して、DFF1、DFF2、DFF3（DSFF1～DSFF3）に保持された信号DIN1、DIN2、DIN3をシリアルに出力させる。

#### 【0083】

図12（C）には、マクロブロックMB1及びテスト回路TCに設定されるスキャンパスの様子が概念的に示されている。例えば図12（C）では、MB1からTCへの出力信号M1OUT-1、M1OUT-2が2本（I本）であり、TCか

らMB 1への入力信号M 1 I Nが1本であるため、1個（I - J個）のダミーのスキャン用フリップフロップD S F F 1が設けられる。

#### 【0084】

そしてS E L 1-1（第1のセレクタ）の第1の入力には、MB 1内のフリップフロップF F 6からの出力信号M 1 O U T-1が入力され、第2の入力には、テスト入力端子T P I -1（T X B）からのテスト入力信号T I N-1が入力される。そしてS E L 1-1の出力信号S Q-1は、T C内に設けられたダミーのスキャン用フリップフロップD S F F 1のデータ端子に入力される。

#### 【0085】

またS E L 1-2（第1のセレクタ）の第1の入力には、MB 1内のフリップフロップF F 5からの出力信号M 1 O U T-2が入力され、第2の入力には、テスト入力端子T P I -2（T X B）からのテスト入力信号T I N-2が入力される。そしてS E L 1-2の出力信号S Q-2は、T C内に設けられたフリップフロップF F 2のデータ端子に入力される。

#### 【0086】

またS E L 2（第2のセレクタ）の第1の入力には、S E L 1-2からの出力信号S Q-2が入力され、第2の入力には、MB 2からの出力信号M 2 O U Tが入力される。そしてS E L 2の出力信号T O U Tは、テスト出力端子T P O（R X B）、或いはMB 1内のフリップフロップF F 4に出力される。

#### 【0087】

そしてスキャンモード時には、S C I NからS C O U Tに至るスキャンパスを介して、D S F F 1、F F 2、F F 3、F F 4、F F 5、F F 6に保持された信号（値）がS C O U Tからシリアルに出力され、これによりスキャン手法によるテストを実現できる。

#### 【0088】

以上のようにすることで、図11のように信号M 1 O U Tの本数Iの方がM 1 I Nの本数Jよりも多い場合においても、余った（I - J）本の信号M 1 O U Tについての結線不良を、図8で説明したスキャン手法により検出できる。即ちこれらの（I - J）本の信号をスキャンモード時に、S C I NからMB 1、T Cを

介して S C O U T に至るスキャンパスを介して出力できるようになる。この結果、より信頼性のある故障検出が可能になる。

### 【0089】

なお、図12（A）では、スキャン用フリップフロップに置き換える前のダミーのフリップフロップ D F F 1、D F F 2、D F F 3 は、その Q 端子に何も接続されていないフリップフロップとなっている。このように Q 端子に何も接続されていないフリップフロップ D F F 1、D F F 2、D F F 3 は、ネットリスト生成ツールの仕様によっては、無効なフリップフロップであると認識されて削除されてしまう可能性がある。従って、このような事態を防止するために、D F F 1、D F F 2、D F F 3 の Q 端子に対して、通常動作に対して悪影響を及ぼさないノード（例えば後述するテスト用バッファのノード）を接続するようにしてもよい。

### 【0090】

#### 7. 詳細例

##### 7. 1 全体構成

図13にテスト回路 T C の詳細な構成例を示す。なお本実施形態のテスト回路は図13に示す全て構成要素を含む必要はなく、その一部を省略してもよい。

### 【0091】

図13において T P I はテスト入力端子であり、T P O はテスト出力端子である。また T P C K はテストクロック端子であり、T P R S はリセット端子である。また T P A D、T P W R、T P R D はバッファ（レジスタ）のアドレス端子、ライト端子、リード端子である。また T P M D 1、T P M D 2 はテストモード端子である。また P D P、P D M は、U S B において定義される差動信号 D P、D M（データプラス、データマイナス）の端子である。

### 【0092】

図13において M B 2 は、データ通信用の物理層回路 P H Y を含むマクロブロックである。この M B 2 としては U T M I 仕様（広義には通信マクロブロック仕様）に準拠したマクロブロックなどがある。なおこのマクロブロック M B 2 は、D P、D M を用いて U S B（第1のバス）上で送信した送信データ信号を、ルー

バックモードで受信データ信号として受信する機能も有している。

#### 【0093】

テスト回路TCは通信シーケンサCSQを含む。この通信シーケンサCSQはマクロブロックMB2との間で所定の通信手順（通信マクロブロック仕様に準拠した通信手順）で信号の送受信処理（ハンドシェーク処理）を行うためのシーケンサである。この通信シーケンサCSQ（テスト用送信バッファTXB）からの送信データ信号は、MB2へのテスト入力信号TIN1としてセレクタSEL1に入力される。またセレクタSEL2からのテスト出力信号TOUT1（TOUT）は、受信データ信号として通信シーケンサCSQ（テスト用受信バッファRXB）に入力される。

#### 【0094】

より具体的には通信シーケンサCSQは、図7（B）で説明した第2のテストモード時において、マクロブロックMB2への送信データ信号を、セレクタSEL1を介してMB2に送信する処理を行う。またMB2からの受信データ信号を、SEL2を介してMB2から受信する処理を行う。

#### 【0095】

通信シーケンサCSQはテスト用送信バッファTXB、テスト用受信バッファRXBを含む。TXBはMB2への送信データ信号（TIN1）を蓄積（store）するバッファ（レジスタ）である。RXBはMB2からの受信データ信号（TOUT1）を蓄積するバッファ（レジスタ）である。即ち、TXBは、テスト入力端子TPIから入力された信号TIを送信データ信号として蓄積する。またRXBは、MB2からの受信データ信号を蓄積し、蓄積した受信データ信号を信号TOとしてテスト出力端子TPOに出力する。

#### 【0096】

更に具体的にはテスト用送信バッファTXBは、テスト入力端子TPIから入力された送信データ信号TIを蓄積する。そして通信シーケンサCSQは、TXBによる送信データ信号TIの蓄積が完了した後（所定のバイト数の送信データ信号を蓄積した後）に、蓄積された送信データ信号を、セレクタSEL1を介してマクロブロックMB2に送信する処理を行う。また通信シーケンサCSQは、

ループバックモードに設定されたMB2からの受信データ信号TOUT1を受信する処理を行う。そしてテスト用受信バッファRXBは、受信された受信データ信号TOUT1を蓄積し、蓄積した受信データ信号をテスト出力端子TPOに出力する。

なお、送信バッファTXB、受信バッファRXBのいずれか一方のみをテスト回路TCに設けるようにしてもよい。またTXB、RXBは通信シーケンサCSQの内部に設けてもよいし外部に設けてもよい。

### 【0097】

テスト回路TCはテスト用バッファTSBを含む。このTSBはテスト入力信号やテスト出力信号を蓄積(store)するバッファ(レジスタ)である。より具体的にはTSBは、テスト入力端子TPIからの信号TIを蓄積して、テスト入力信号TIN2としてセレクタSEL1に出力する。またTSBは、セレクタSEL2からのテスト出力信号TOUT2(TOUT)を蓄積して、信号TOとしてテスト出力端子TPOに出力する。

### 【0098】

テスト回路TCはデコーダDECを含む。このDECは集積回路のテスト端子からの信号に基づいて、テスト回路の各回路に制御信号を出力する。より具体的にはデコーダDECには、バッファTXB、RXB、TSBのアドレス(レジスタアドレス)を指定するためのアドレス信号TADや、これらのバッファへのライト信号TWR、リード信号TRDが入力される。またテストモード信号TMD1、TMD2(第1、第2のテストモードを切り替えたり、テストモードと通常動作モードを切り替える信号)や、テスト用のクロック信号TCKや、テスト用のリセット信号TRSが入力される。デコーダDECは、テスト端子から入力されるこれらの信号に基づいてデコード処理を行い、通信シーケンサCSQ(TXB、RXB)、テスト用バッファTSBへの制御信号DCTL1、DCTL2や、セレクタSEL1、SEL2への選択信号SS1、SS2を生成する。

### 【0099】

例えば通信シーケンサCSQ(TXB、RXB)はデコーダDECからの制御信号DCTL1やテスト用クロック信号TCKなどに基づいて、TXB、RXB

に送信データ信号、受信データ信号を蓄積する処理や、T X B、R X Bから送信データ信号、受信データ信号を出力する処理や、送受信（ハンドシェーク）処理を行う。またテスト用バッファT S Bは、デコーダD E Cからの制御信号D C T L 2やテスト用クロック信号T C Kなどに基づいて、T S Bにテスト入力信号やテスト出力信号を蓄積する処理や、T S Bからテスト入力信号やテスト出力信号を出力する処理などを行う。

#### 【0100】

またデコーダD E Cは、信号T M D 1、T M D 2が共にL（ロー）レベル（第1のレベル）の場合には、選択信号S S 1をH（ハイ）レベルに設定して、セレクタS E L 1に信号M 1 O U Tを選択させると共に、信号S S 1をLレベルに設定して、セレクタS E L 2にM 2 O U Tを選択させる。これにより動作モードが通常動作モード（テストモードではないモード）になる。

#### 【0101】

また信号T M D 1がHレベル（第2のレベル）の場合には、信号S S 1、S S 2を共にHレベルに設定して、S E L 1に信号M 1 O U Tを選択させると共にS E L 2に信号S Qを選択させる。これにより動作モードが、マクロブロックM B 1をテストする第1のテストモードになる。

#### 【0102】

また信号T M D 2がHレベルの場合には、信号S S 1、S S 2を共にLレベルに設定して、S E L 1に信号T I N 1及びT I N 2を選択させると共に、S E L 2に信号M 2 O U Tを選択させる。これにより動作モードが、マクロブロックM B 2をテストする第2のテストモードになる。

#### 【0103】

##### 7. 2 バッファ構成

図14に、テスト用送信バッファT X B、テスト用受信バッファR X B、テスト用バッファT S Bのアドレスマップを示す。

#### 【0104】

本実施形態では送信バッファT X B、受信バッファR X Bは、各々、4段（広義には複数段）のバッファ構成（F I F O構成）となっている。即ち図14にお

いて、`TxBuf0`、`TxBuf1`、`TxBuf2`、`TxBuf3`は、送信バッファTXBの4段のバッファに相当し、`RxBuf0`、`RxBuf1`、`RxBuf2`、`RxBuf3`は、受信バッファRXBの4段のバッファに相当する。また、これらの4段の各バッファは8ビット構成になっている。即ち図14において、`TxBuf0[7]～[0]`は`TxBuf0`の各ビットを表す。`TxBuf1`、`TxBuf2`、`TxBuf3`も同様である。また`RxBuf0[7]～[0]`は`RxBuf0`の各ビットを表す。`RxBuf1`、`RxBuf2`、`RxBuf3`も同様である。

#### 【0105】

図14に示すように本実施形態では、端子TPADからの信号TADで指定されるアドレスが`0x0～0x7`（16進数表現）の範囲である場合には、送信バッファTXB、受信バッファRXBのいずれかがアドレス指定される。そして端子TPWRからのライト信号TWRがアクティブになると送信バッファTXBが指定され、端子TPRDからのリード信号TRDがアクティブになると受信バッファRXBが指定される。

#### 【0106】

一方、信号TADで指定されるアドレスが`0x8～0xF`の範囲である場合には、テスト用バッファTSBがアドレス指定される。また、リード、ライトの指定はリード信号TRD、ライト信号TWRにより行われる。そしてテスト用バッファTSBの各ビットには図14に示すように、TXMODE、XCVRSEL、ECT、TERMSELECT……TXSTARTなどが割り当てられている。

#### 【0107】

例えばTXMODEは通信シーケンサCSQの送信モードを設定するビットである。TXMODEが「0」に設定されると、通信シーケンサCSQは4バイト（広義には複数バイト）の送信データを送信して停止する。一方、TXMODEが「1」に設定されると、CSQは`TxBuf0`に蓄積された1バイトの送信データを送信し続ける。

#### 【0108】

またXCVRSELECT、TERMSELECT、OPMODE1……SUSPEND等は、マクロブロックMB2の入力端子(M2IN)に所望の信号レベル(Hレベル、Lレベル)を設定するためのビットである。またMonRXACTIVE、MonRXERROR、MonLINESTATE1、MonLINESTATE0等は、マクロブロックMB2の出力端子(M2OUT)の信号レベルをモニタするためのビットである。

#### 【0109】

またTXSTARTは通信シーケンサCSQに対して送信(テスト用送信)の開始を指示するためのビットであり、TXSTARTを「1」に設定すると送信が開始される。そして送信が完了するとTXSTARTは「0」にクリアされる。またTXMODEが「1」の時にTXSTARTに「0」を書き込むと送信が停止する。

#### 【0110】

さて集積回路においては端子数が増加すると製造コストの増加を招く。このためテスト端子についてもその本数をなるべく少なくできることが望ましい。そこで本実施形態では、図13のテスト端子TPI、TPOの本数を以下に述べるような手法で減少させている。

#### 【0111】

例えばマクロブロックMB2のテストに必要な入力信号がMビットであったとする。この場合に本実施形態では図15(A) (B)に示すように、テスト用バッファTSBが、このMビットのテスト入力信号を、K本( $M > K$ 。M、Kは自然数又は2以上の整数)のテスト入力端子TPIからKビット毎に入力して蓄積する。そして、蓄積した信号をテスト入力信号TIN2としてセレクタSEL1に出力する。このようにすることで、本来はM本のテスト入力端子TPIが必要であるのに、これをK本に減らすことができる。

#### 【0112】

例えば図14において、XCVRSELECT～SUSPENDの全てのビットをTPIとして外部端子に設定すると、12本(M本)の端子が必要になってしまう。これに対して図15(A) (B)では、テスト用バッファTSBが、1

2ビット（Mビット）のテスト入力信号（X C V R S E L E C T～S U S P E N D）をT P Iから4ビット（Kビット）毎に取り込んで蓄積している。これによりT P Iの本数を4本にすることができ、集積回路の端子数を減らすことができる。

### 【0113】

また送信データ信号や受信データ信号のビット数がNビットであったとする。この場合に本実施形態では図15（C）（D）に示すように、テスト用送信バッファT X Bが、このNビットの送信データ信号（テスト入力信号）を、K本（ $N > K$ 。N、Kは自然数又は2以上の整数）のテスト入力端子T P IからKビット毎に入力して蓄積する。そして蓄積した信号を、テスト入力信号T I N 1としてセレクタS E L 1に出力する。このようにすることで、本来はN本のテスト入力端子T P Iが必要であるのに、これをK本に減らすことができる。また図15（C）（D）では、テスト用受信バッファR X Bが、マクロブロックMB2からのNビットの受信データ信号（テスト出力信号）を蓄積し、蓄積した受信データ信号をKビット毎にK本のテスト出力端子T P Oに出力する。このようにすることで、本来はN本のテスト出力端子T P Oが必要であるのに、これをK本に減らすことができる。

### 【0114】

例えば図14において、T x B u f 0 [7]～T x B u f 0 [0]の全てのビットをT P Iとして外部端子に設定し、R x B u f 0 [7]～R x B u f 0 [0]の全てのビットをT P Oとして外部端子に設定すると、T P I、T P Oの本数がそれぞれ8本（N本）になり、合計で16本の端子が必要になってしまう。これに対して図15（C）（D）では、送信バッファT X Bが、8ビット（Nビット）の送信データ信号を4ビット（Kビット）毎にT P Iから入力して蓄積している。また、受信バッファR X Bが、8ビットの受信データ信号を4ビット毎にT P Oに出力している。これによりT P I、T P Oの本数をそれぞれ4本（K本）にすることができ、集積回路の端子数を減らすことができる。

### 【0115】

更に本実施形態では図13、図14に示すように、4本（K本）の端子T P I

、 T P O をバッファ TX B 、 RX B 、 TS B に共通接続し、アドレス信号 T A D を用いてこれらのバッファ TX B 、 RX B 、 TS B の各ビットのアドレス指定を行っている。これにより集積回路の端子数を更に減らすことに成功している。

### 【0116】

#### 7. 3 通信シーケンサ

図16に通信シーケンサ CSQ の構成例を示す。但し通信シーケンサ CSQ の構成は図16に示すものに限定されない。

### 【0117】

通信シーケンサ CSQ は送信シーケンサ TSQ を含む。この TSQ はマクロブロック MB 2との間でハンドシェークによる送信処理を行うためのシーケンサである。具体的には送信シーケンサ TSQ は、送信データ信号 DATAIN が有効であることを示す信号 TXVALID (送信開始信号) をマクロブロック MB 2 に出力する。そして MB 2 は、 TXVALID のアクティブ期間に存在する DATAIN を 1 つのパケットとみなす。この信号 TXVALID は図13において、信号 TIN1 として SEL1 を介して MB 2 に出力される。

### 【0118】

また送信シーケンサ TSQ は、 DATAIN のバッファリングが完了したことを示す信号 TXREADY を、 MB 2 から受ける。この信号 TXREADY は図13において、 MB 2 から SEL2 を介して信号 TOUT1 として送信シーケンサ TSQ に入力される。

### 【0119】

そして送信シーケンサ TSQ は制御信号 CTL (送信開始信号等) を用いてテスト用送信バッファ TXB を制御する。具体的には、送信バッファ TXB によるテスト入力端子 TPI からの信号 TI の蓄積処理を制御する。また送信バッファ TXB によるマクロブロック MB 2への信号 DATAIN の出力処理を制御する。この場合に本実施形態では、信号 DATAIN の出力処理の際のクロック周波数 CF1 (例えば 60MHz) よりも遅いクロック周波数 CF2 で、送信バッファ TXB に信号 TI を蓄積するようにしている。このようにすれば、信号 TI の蓄積処理を、遅いクロック周波数 CF2 を用いて余裕を持ってできるようにな

る。従って、テスト入力端子T P Iに大きな寄生容量が寄生している場合にも、バラツキの少ない安定したテスト結果を得ることができる。

### 【0120】

通信シーケンサC S Qは受信シーケンサR S Qを含む。このR S QはマクロブロックMB 2との間でハンドシェークによる受信処理を行うためのシーケンサである。具体的には受信シーケンサR S Qは、バスにアクティビティがあることを示す信号R X A C T I V Eや、受信データ信号D A T A O U Tが有効であることを示す信号R X V A L I Dや、パケット受信中にエラーがあったことを示す信号R X E R R O Rを、マクロブロックMB 2から受ける。これらの信号R X A C T I V E、R X V A L I D、R X E R R O Rは、図13においてMB 2からS E L 2を通して信号T O U T 1として受信シーケンサR S Qに入力される。

### 【0121】

そして受信シーケンサR S Qは制御信号R C T Lを用いてテスト用受信バッファR X Bを制御する。具体的には、受信バッファR X BによるマクロブロックM B 2からの信号D A T A O U Tの蓄積処理を制御する。また受信バッファR X Bによるテスト出力端子T P Oへの信号T Oの出力処理を制御する。この場合に本実施形態では、信号D A T A O U Tの蓄積処理の際のクロック周波数C F 1（例えば60MHz）よりも遅いクロック周波数C F 3で（C F 3はC F 2と同じでもよい）、信号T Oを出力するようにしている。このようにすれば、信号T Oの出力処理を、遅いクロック周波数C F 3を用いて余裕を持ってできるようになる。従って、テスト出力端子T P Oに大きな寄生容量が寄生している場合にも、バラツキの少ない安定したテスト結果を得ることができる。

次に図17、図18の波形図を用いて、テスト回路T C及び通信シーケンサC S Qの詳細な動作について説明する。

### 【0122】

まずC 1に示すように外部のテスターがテスト端子を用いて、アドレス信号T A Dを0x Bに設定し、ライト信号T W Rをアクティブ（Lレベル）にすると共に信号T Iを0x 0に設定することで、図14のP L L S E L E C T、O S C E N B、C L K S E L E C T 1、C L K S E L E C T 0が全て「0」に設定される。

そしてC2に示すようにテスタが、TADを0x8に設定し、TWRをアクティブにすると共にTIを0x0に設定することで、図14のTXMODEが「0」に設定される。これにより、4バイト（複数バイト）の送信データ信号を連續して送信するモードに通信シーケンサCSQが設定される。

#### 【0123】

次にC3に示すようにテスタが、アドレス信号TADを0x0～0x7に設定し、ライト信号TWRをアクティブにすると共にTIを0xFに設定することで、図14の送信バッファTXBの4段のバッファTxBuf0～TxBuf3の全てのビットに「1」が書き込まれる。この場合にこの書き込み処理は遅いクロック周波数CF2で行われる。そしてC4に示すようにテスタが、アドレス信号TADを0xFに設定し、ライト信号TWRをアクティブにすると共に信号TIを0x1に設定することで、図14のTXSTARTに「1」が設定される。これにより通信シーケンサCSQによる自動送信処理が開始する。

#### 【0124】

図18は、図17のC5に示す部分を拡大した波形図である。通信シーケンサCSQ（送信シーケンサTSQ）は、送信処理が開始すると図18のD1に示すように信号TXVALIDをアクティブにし、D2に示すようにマクロブロックMB2が信号TXREADYをアクティブにする。そしてD3に示す送信データ信号DATAIN（FF）がMB2に送信される。

#### 【0125】

マクロブロックMB2は、送信データ信号DATAINを受けると、D4に示すように、差動信号DP、DMを用いてUSBバス上での送信処理を開始する。そしてループバックモードに設定されたマクロブロックMB2は、自身が送信した送信データ信号を、ループバックモードで受信データ信号として受信する。そしてD5に示すようにマクロブロックMB2は信号RXACTIVEをアクティブにする。その後、MB2はD6、D7に示すように信号RXVALIDをアクティブにする。すると、これを受けた通信シーケンサCSQ（受信シーケンサRSQ）は、D8、D9に示すMB2からの受信データ信号DATAOUT（FF）をテスト用受信バッファRXBに蓄積する。この場合にこの蓄積処理は速いク

ロック周波数C F 1で行われる。

### 【0126】

その後、図17のC 6に示すようにテスタが、アドレス信号T A Dを0 x 0～0 x 7に設定し、リード信号T R Dをアクティブにすることで、C 7に示すように受信バッファR X Bに蓄積された受信データ信号T Oがテスト出力端子T P Oを介してテスタにより読み出される。この場合にこの読み出し処理は遅いクロック周波数C F 3により行われる。そして、テスタが、読み出された値と期待値との比較処理を行い、期待値と一致していればテストを合格とし、一致していなければ不合格とする。このようにすることテストが完了する。

### 【0127】

#### 8. マクロブロック

図19にマクロブロックMB 1の一例を示す。なお本実施形態のマクロブロックMB 1は図19に示す構成に限定されるものではない。図19のマクロブロックMB 1は、S I E (Serial Interface Engine) 3 0、エンドポイント管理回路4 0、バッファ管理回路5 0、バッファ6 0、バルク転送管理回路7 0、D M A C (Direct Memory Access Controller) 8 0を含む。

### 【0128】

S I E 3 0は、U S Bのパケット転送処理などの種々の処理を行う回路である。このS I E 3 0（広義には第1のインターフェース回路）はパケットハンドラ回路3 2、サスPEND&レジューム制御回路3 4、トランザクション管理回路3 6を含む。ここでパケットハンドラ回路3 2は、ヘッダ及びデータからなるパケットの組み立て（生成）や分解などを行ったり、C R Cの生成や解読を行う。またサスPEND&レジューム制御回路3 4は、サスPENDやレジューム時のシーケンス制御を行う。またトランザクション管理回路3 6は、トークン、データ、ハンドシェークなどのパケットにより構成されるトランザクションを管理する。そしてトランザクション管理回路3 6は、トークンパケットを受信した場合には、自分宛か否かを確認し、自分宛の場合には、データパケットの転送処理を行い、その後に、ハンドシェークパケットの転送処理を行う。

### 【0129】

エンドポイント管理回路40は、バッファ60の各記憶領域の入り口となるエンドポイントを管理する回路であり、エンドポイントの属性情報を記憶するレジスタ（レジスタセット）などを含む。

#### 【0130】

バッファ管理回路50は、例えばRAMなどで構成されるバッファ60を管理する回路である。より具体的には、書き込みアドレスや読み出しアドレスを生成し、バッファ60へのデータの書き込み処理やバッファ60からのデータの読み出し処理を行う。

#### 【0131】

バッファ60（パケットバッファ、パケット記憶手段）は、USBを介して転送されるデータ（パケット）を一時的に記憶するものであり、USB（第1のバス）でのデータ転送速度と、EBUS（第2のバス）でのデータ転送速度との速度差を補償する機能などを有する。なお、EBUSは、ハードディスクドライブ、光ディスクドライブ、MPEGエンコーダ、MPEGデコーダなどの外部デバイスに接続される外部バスである。

#### 【0132】

バルク転送管理回路70は、USBにおけるバルク転送を管理するための回路である。またDMAC80（広義には第2のインターフェース回路）は、EBUSを介して外部デバイスとの間でDMA転送を行うためのDMAコントローラである。

#### 【0133】

図20にマクロブロックMB2の一例を示す。なお本実施形態のマクロブロックMB2は図20に示す構成に限定されるものではない。

#### 【0134】

マクロブロックMB2は、データハンドラ回路90、クロック生成回路92、HS（High Speed）回路94、FS（Full Speed）回路96を含む。これらの回路は論理層回路である。またMB2は、物理層回路（PHY）であるアナログフロントエンド回路98（送受信回路）を含む。

#### 【0135】

データハンドラ回路90は、USB2.0等に準拠したデータ転送のための種々の処理を行う。より具体的には、送信時には、送信データにSYNC (SYNChronization)、SOP (Start Of Packet)、EOP (End Of Packet) を附加する処理や、ビットスタッフィング処理等を行う。一方、受信時には、受信データのSYNC、SOP、EOPを検出し、削除する処理や、ビットアンスタッフィング処理などを行う。更に、データハンドラ回路90は、データの送受信を制御するための各種のタイミング信号を生成する処理も行う。

#### 【0136】

USB2.0では、HSモード（広義には第1の転送モード）とFSモード（広義には第2の転送モード）が定義されている。HSモードは、USB2.0により新たに定義された転送モードである。FSモードは、従来のUSB1.1で既に定義されている転送モードである。

#### 【0137】

クロック生成回路92は、HS用の480MHzのクロックや、60MHzのシステムクロックなどの種々の周波数のクロックを生成する回路であり、OSC、PLL480M、PLL60Mを含む。

#### 【0138】

ここでOSC（発振回路）は、例えば外部振動子との組み合わせによりベースクロックを生成する。PLL480Mは、OSC（発振回路）で生成されたベースクロックに基づいて、HSモードで必要な480MHzのクロックと、FSモードやシステムクロックに必要な60MHzのクロックを生成するPLL（Phase Locked Loop）である。PLL60Mは、OSC（発振回路）で生成されたベースクロックに基づいて、FSモードやシステムクロックに必要な60MHzのクロックを生成するPLLである。

#### 【0139】

HS回路94は、データ転送速度が480MbpsとなるHSモードでのデータの送受信を行うためのロジック回路である。一方、FS回路96は、データ転送速度が12MbpsとなるFSモードでのデータの送受信を行うためのロジック回路である。

### 【0140】

アナログフロントエンド回路98（送受信回路）は、FSモードやHSモードでの送受信を行うためのドライバやレシーバを含むアナログ回路であり、差動信号DP、DMを用いて送受信処理を行う。このアナログフロントエンド回路98には、HSモードでの送受信を行うためのHSモード用ドライバ及びレシーバと、FSモードで送受信を行うためのFSモード用ドライバ及びレシーバを含ませることができる。

### 【0141】

なお、本発明は本実施形態に限定されず、本発明の要旨の範囲内で種々の変形実施が可能である。

### 【0142】

例えばテスト回路、第1、第2のマクロブロックの構成は、図2、図5、図6、図11、図13、図19、図20等で説明した構成に限定されず、種々の変形実施が可能である。

### 【0143】

また本実施形態で説明したテスト用送信バッファTXB、テスト用受信バッファRXB、通信シーケンサCSQ、セレクタSEL1、SEL2、ダミーのスキヤン用フリップフロップDSFF、テスト用バッファTSBと均等な回路を用いる場合も、本発明の均等な範囲に含まれる。

### 【0144】

また第2のマクロブロックによる第1のバスでの送受信処理（第2のマクロブロックが含む物理層回路）は、USB2.0規格に基づく送受信処理（USB2.0の物理層回路）には限定されない。例えばUSB2.0と同様の思想に基づく規格や、USB2.0を発展させた規格に基づく送受信処理や、IEEE1394規格などの他の高速シリアル転送規格に基づいて送受信処理であってもよい。

### 【0145】

また、明細書又は図面中の記載において広義な用語（通信マクロブロック仕様、第1のインターフェース回路、第2のインターフェース回路、第1の転送モー

ド、第2の転送モード、第1のバス、(I-J)個、複数段、複数バイト等)として引用された用語(UTMI、SIE、DAMC、HSモード、FSモード、USB、3個、4段、4バイト等)は、明細書又は図面中の他の記載においても広義な用語に置き換えることができる。

#### 【0146】

また、本発明のうち従属請求項に係る発明においては、従属先の請求項の構成要件の一部を省略する構成とすることもできる。また、本発明の1の独立請求項に係る発明の要部を、他の独立請求項に従属させることもできる。

#### 【図面の簡単な説明】

【図1】図1(A) (B)はマクロブロックを含む集積回路のテスト手法についての説明図である。

【図2】本実施形態のテスト回路の構成例である。

【図3】図3(A) (B) (C)は図2のテスト回路の動作説明図である。

【図4】テスト回路の動作を説明するための波形図である。

【図5】通信シーケンサを含むテスト回路の構成例である。

【図6】セレクタを含むテスト回路の構成例である。

【図7】図7(A) (B)は図6のテスト回路の動作説明図である。

【図8】マクロブロック及びテスト回路にスキャンパスを設定する手法の説明図である。

【図9】図9(A) (B)はスキャン手法の説明図である。

【図10】スキャン手法を利用したテスト方法のフローチャートである。

【図11】ダミーのスキャン用FFを含むテスト回路の例である。

【図12】図12(A) (B) (C)はダミーのスキャン用FFの説明図である。

【図13】本実施形態のテスト回路の詳細例である。

【図14】バッファのアドレスマップの例である。

【図15】図15(A)～(D)は本実施形態のテスト用バッファ、テスト用送信バッファ、テスト用受信バッファの説明図である。

【図16】通信シーケンサの構成例である。

【図17】テスト回路や通信シーケンサの動作を説明する波形図である。

【図18】テスト回路や通信シーケンサの動作を説明する波形図である。

【図19】マクロブロックMB1の一例である。

【図20】マクロブロックMB2の一例である。

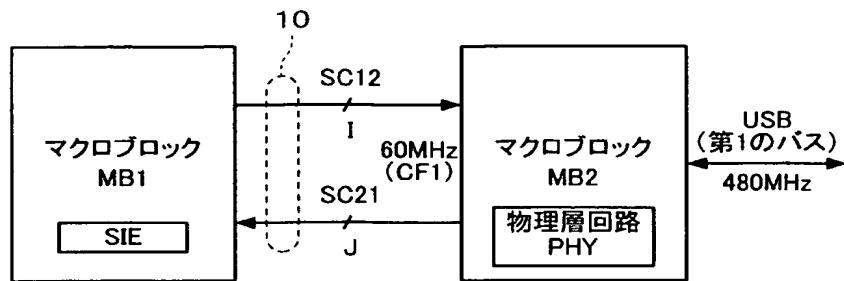
【符号の説明】

MB1 第1のマクロブロック、 MB2 第2のマクロブロック、  
T X B テスト用送信バッファ、 R X B テスト用受信バッファ、  
T C テスト回路、 C S Q 通信シーケンサ、  
S E L 1 第1のセレクタ、 S E L 2 第2のセレクタ、  
S S 1、 S S 2 選択信号、  
M 1 O U T MB1の出力信号、 M 1 I N MB1の入力信号、  
M 2 I N MB2の入力信号、 M 2 O U T MB2の出力信号、  
T I N テスト入力信号、 T O U T テスト出力信号、  
T P I テスト入力端子、 T P O テスト出力端子、  
S Q S E L 1の出力信号、  
D S F F、 D S F F 1～D S F F 3 ダミーのスキャン用フリップフロップ、  
T S B テスト用バッファ、 D E C デコーダ、 P H Y 物理層回路、  
1 0、 1 2、 1 4 接続部分、 3 0 S I E、 3 2 パケットハンドラ回路、  
3 4 サスペンド&レジューム回路、 3 6 トランザクション管理回路  
4 0 エンドポイント管理回路、 5 0 バッファ管理回路、 6 0 バッファ、  
7 0 バルク転送管理回路、 8 0 D M A C、  
9 0 データハンドラ回路、 9 2 クロック生成回路、 9 4 H S回路、  
9 6 F S回路、 9 8 アナログフロントエンド回路、

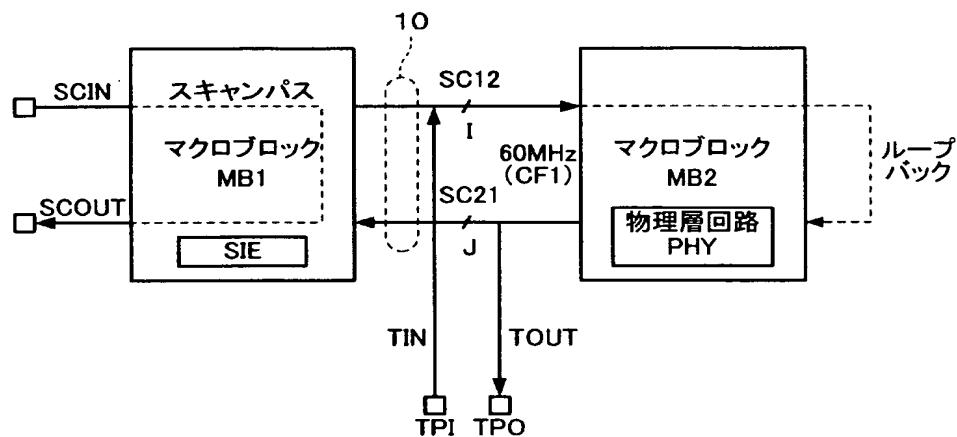
【書類名】 図面

【図 1】

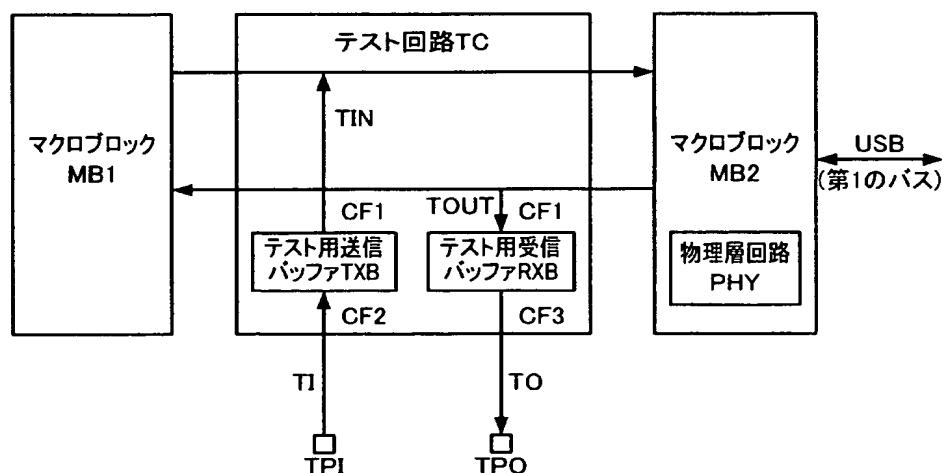
(A)



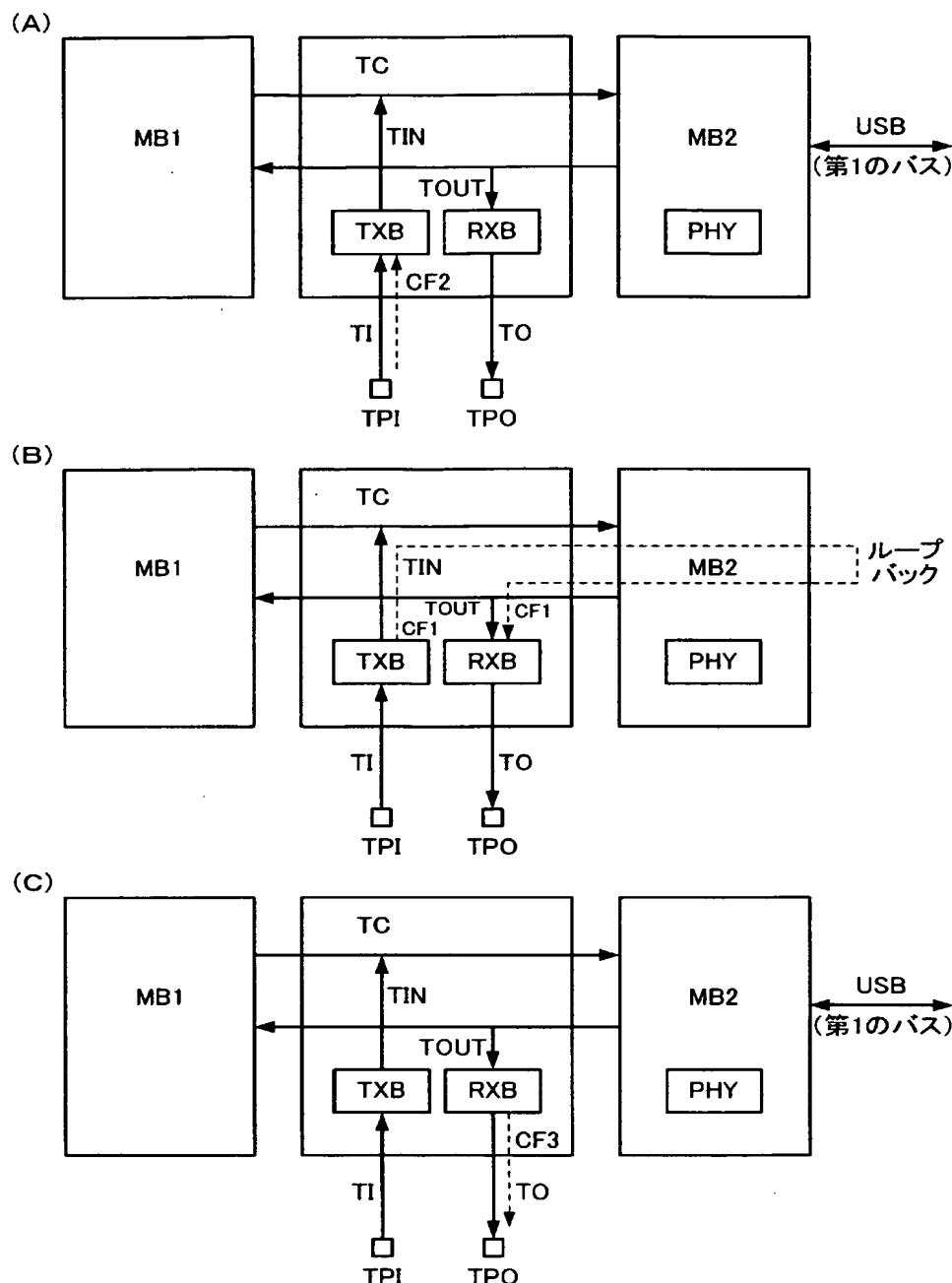
(B)



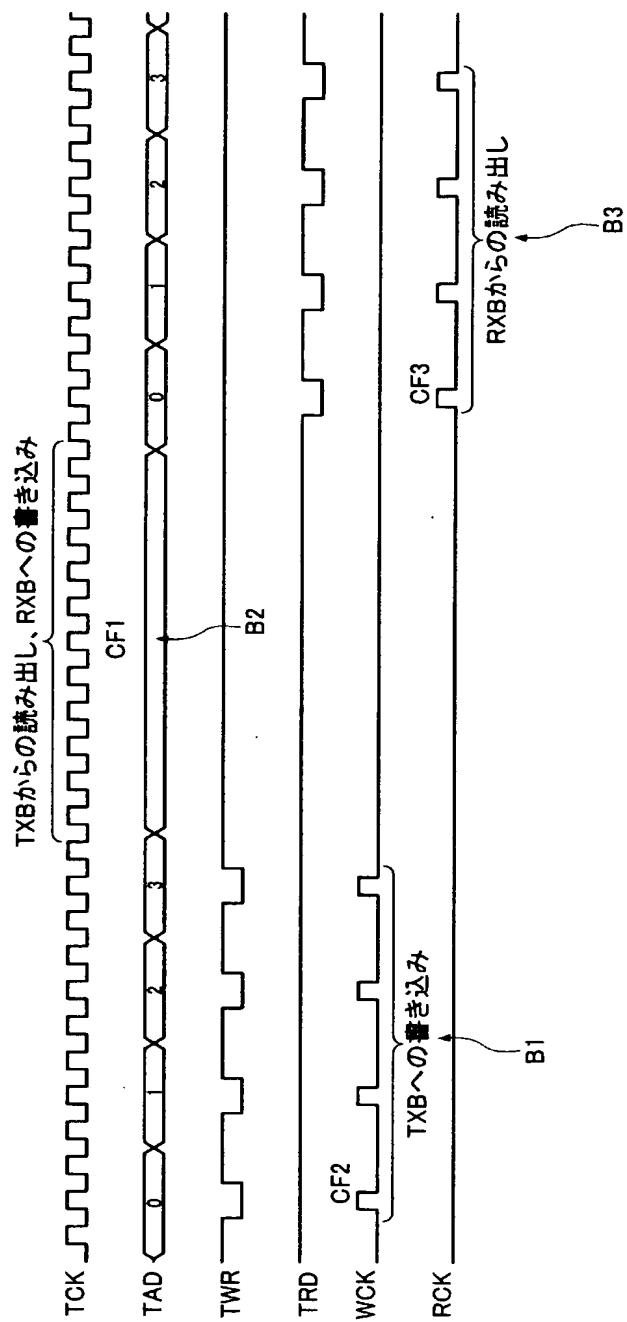
【図 2】



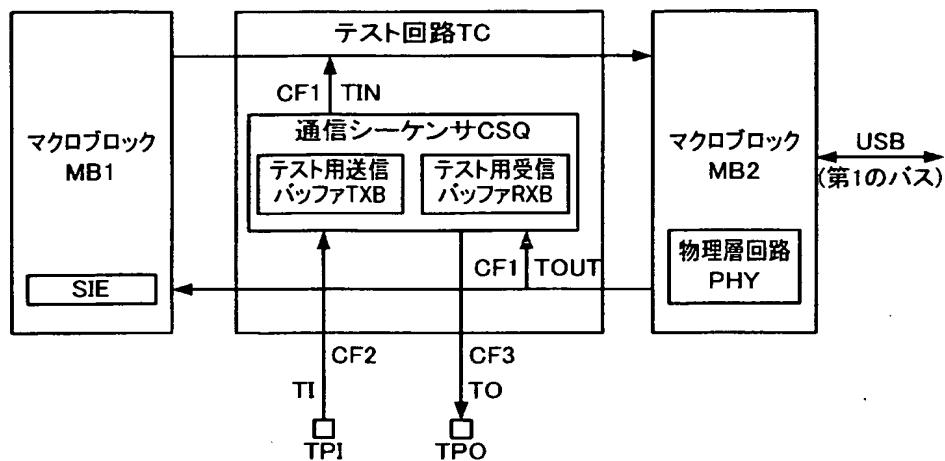
【図3】



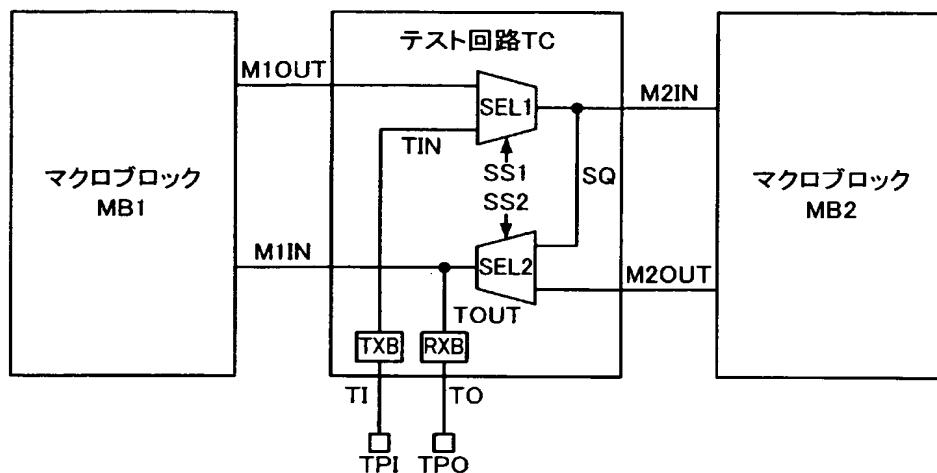
【図 4】



【図 5】

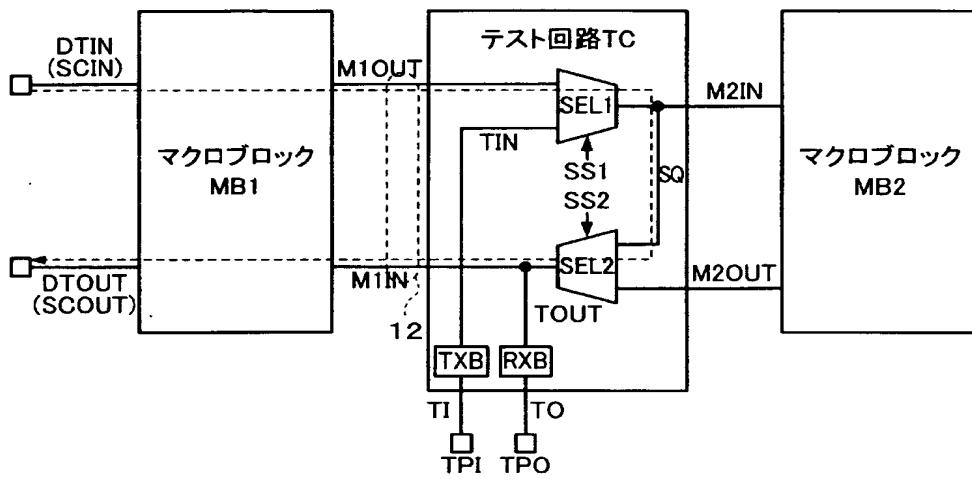


【図 6】

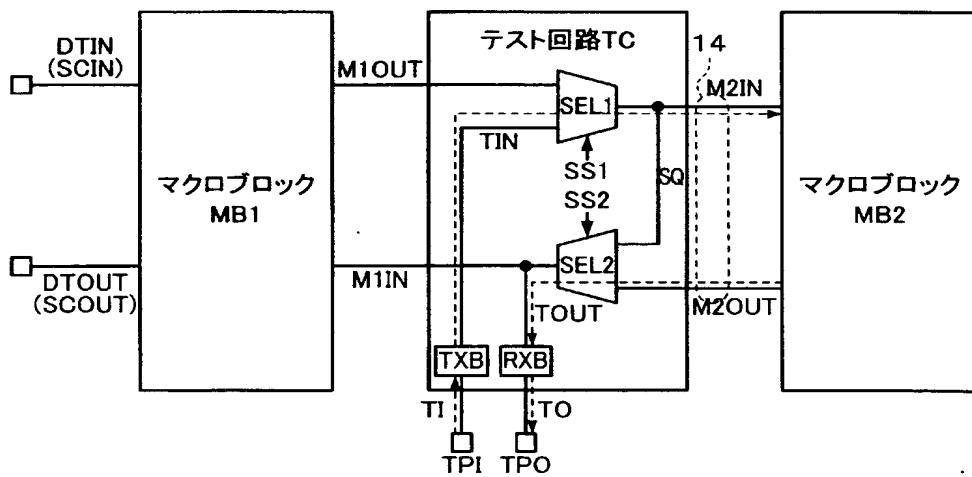


【図 7】

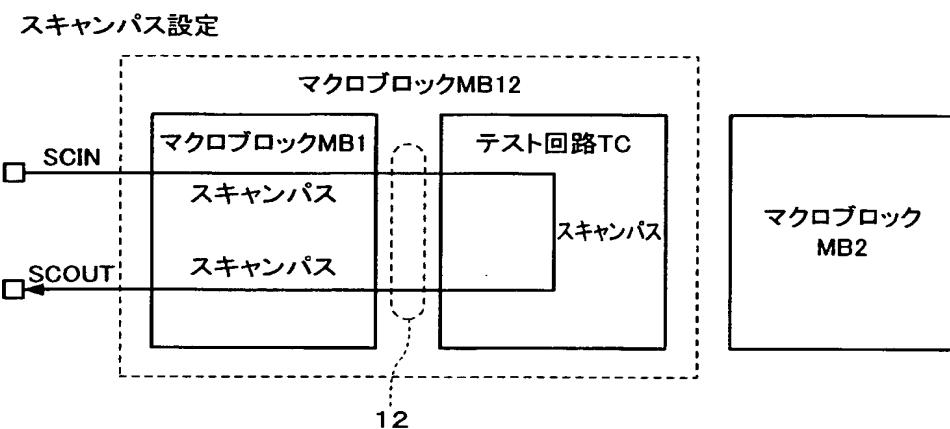
(A) 第1のテストモード



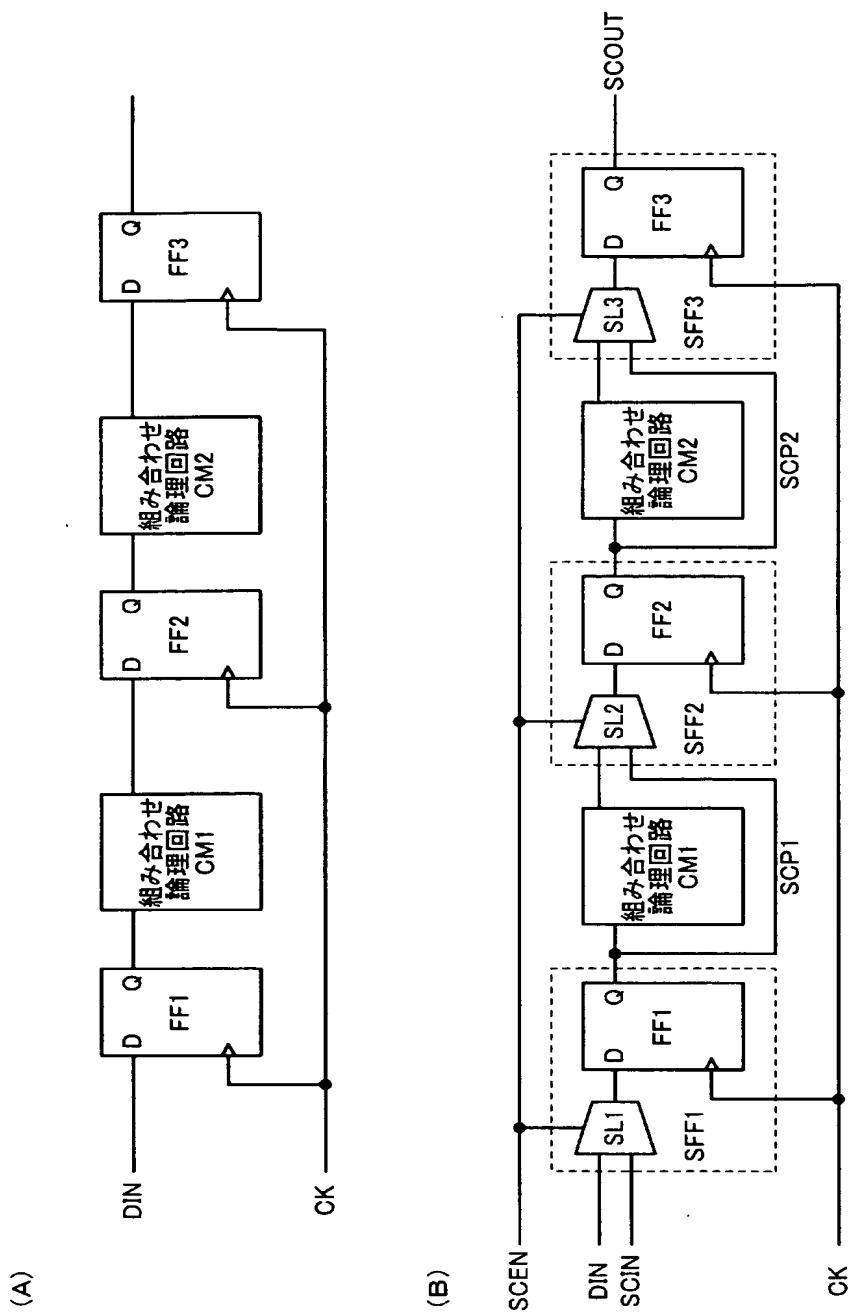
(B) 第2のテストモード



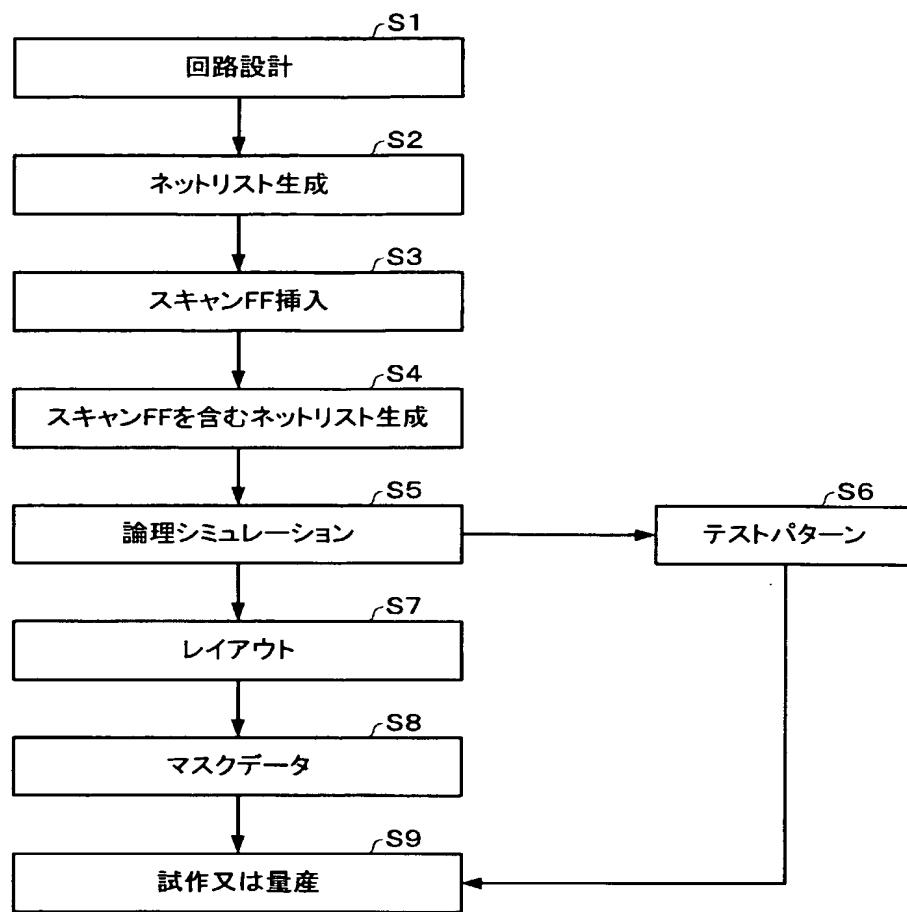
【図8】



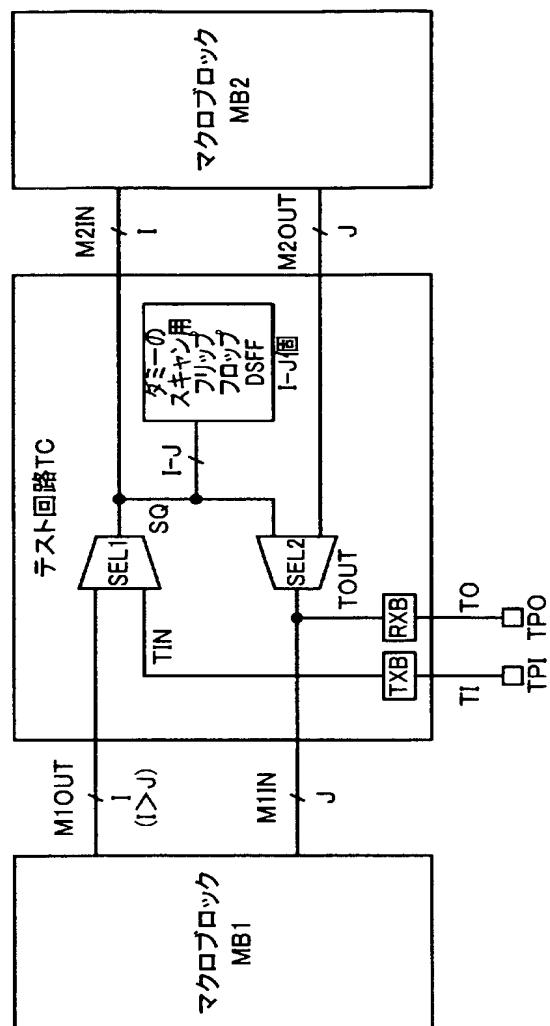
【図9】



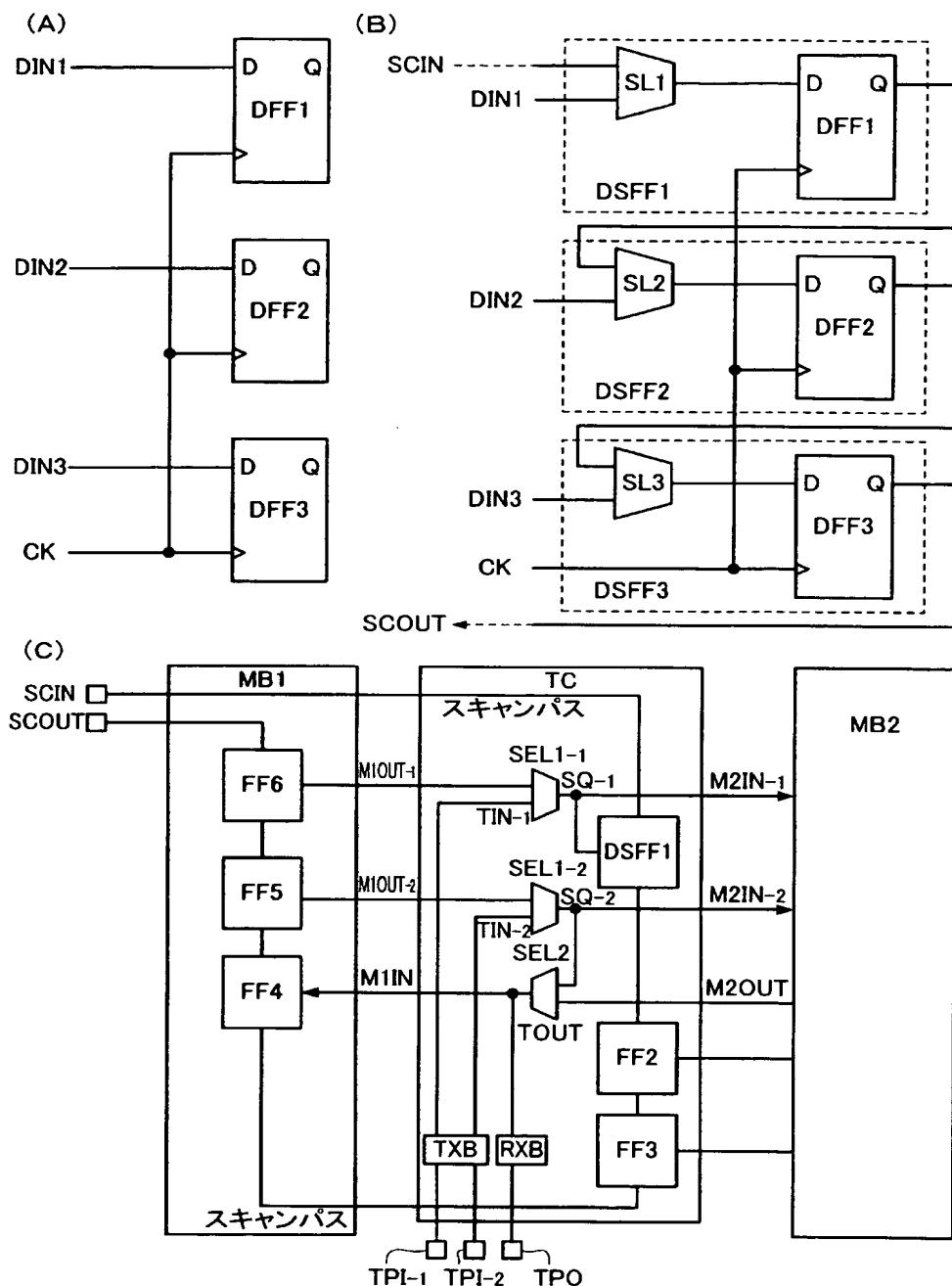
【図10】



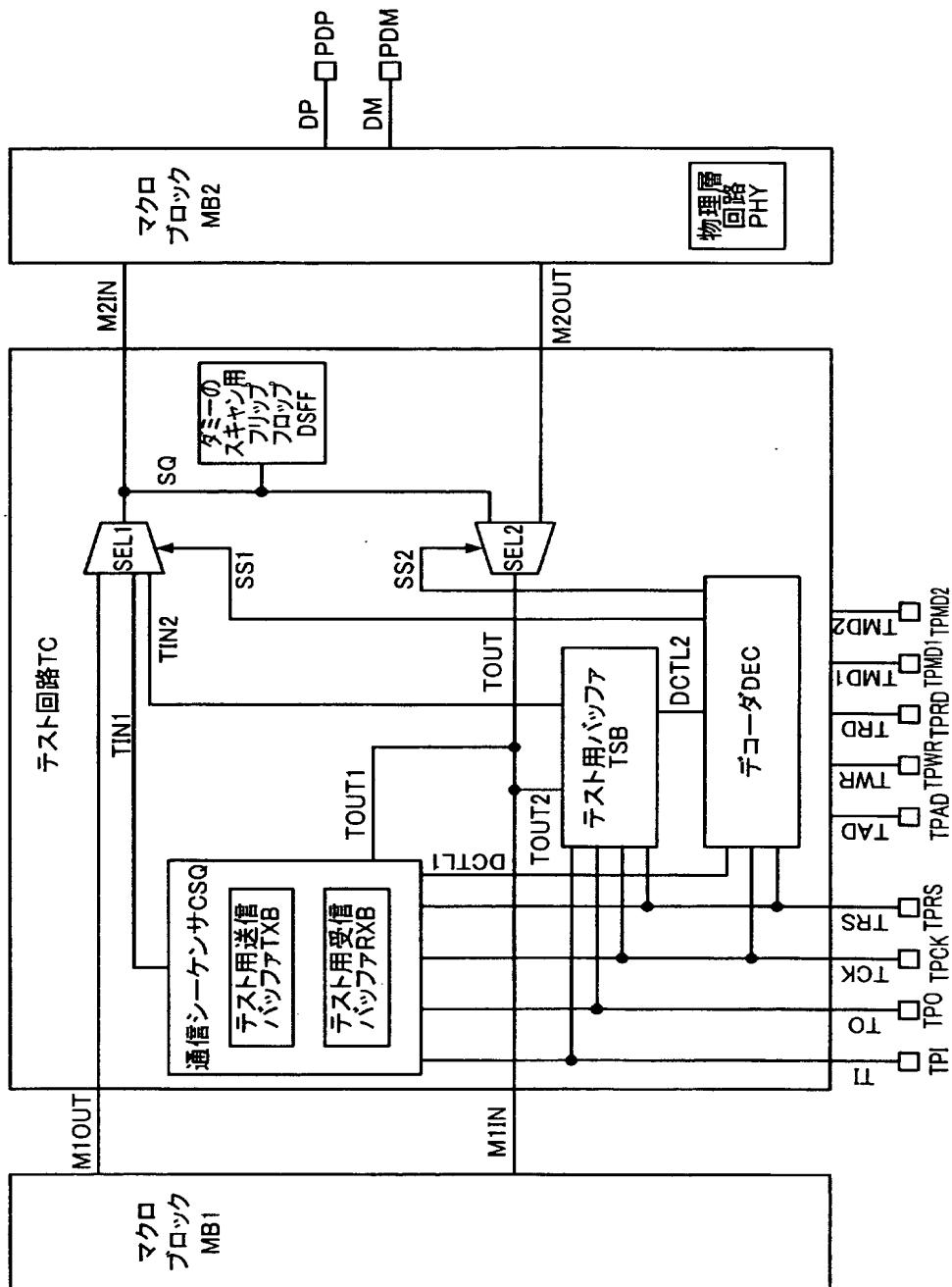
【図 1 1】



【図12】



【図 13】

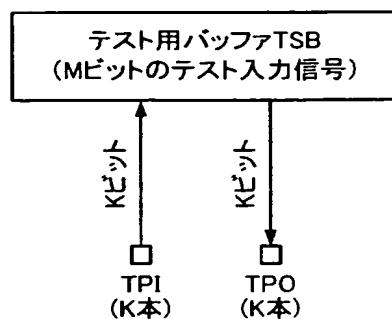


【図 14】

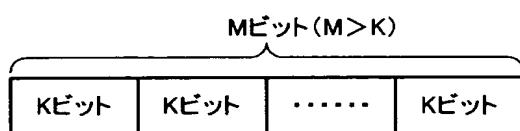
TAD	TRD/TWR	Bit3	Bit2	Bit1	Bit0
0x0	W	TxBuf0[7]	TxBuf0[6]	TxBuf0[5]	TxBuf0[4]
0x0	R	RxBuf0[7]	RxBuf0[6]	RxBuf0[5]	RxBuf0[4]
0x1	W	TxBuf0[3]	TxBuf0[2]	TxBuf0[1]	TxBuf0[0]
0x1	R	RxBuf0[3]	RxBuf0[2]	RxBuf0[1]	RxBuf0[0]
0x2	W	TxBuf1[7]	TxBuf1[6]	TxBuf1[5]	TxBuf1[4]
0x2	R	RxBuf1[7]	RxBuf1[6]	RxBuf1[5]	RxBuf1[4]
0x3	W	TxBuf1[3]	TxBuf1[2]	TxBuf1[1]	TxBuf1[0]
0x3	R	RxBuf1[3]	RxBuf1[2]	RxBuf1[1]	RxBuf1[0]
0x4	W	TxBuf2[7]	TxBuf2[6]	TxBuf2[5]	TxBuf2[4]
0x4	R	RxBuf2[7]	RxBuf2[6]	RxBuf2[5]	RxBuf2[4]
0x5	W	TxBuf2[3]	TxBuf2[2]	TxBuf2[1]	TxBuf2[0]
0x5	R	RxBuf2[3]	RxBuf2[2]	RxBuf2[1]	RxBuf2[0]
0x6	W	TxBuf3[7]	TxBuf3[6]	TxBuf3[5]	TxBuf3[4]
0x6	R	RxBuf3[7]	RxBuf3[6]	RxBuf3[5]	RxBuf3[4]
0x7	W	TxBuf3[3]	TxBuf3[2]	TxBuf3[1]	TxBuf3[0]
0x7	R	RxBuf3[3]	RxBuf3[2]	RxBuf3[1]	RxBuf3[0]
0x8	R/W	-	-	TXMODE	-
0x9	R/W	XCVRSELECT	TERMSELECT	OPMODE1	OPMODE0
0xA	R/W	PLLSELECT	OSCENB	CLKSELECT1	CLKSELECT0
0xB	R/W	RESET	RAWCLOCK	ANA_IQ	SUSPEND
0xC	R/W	OPENLOOP	TgICLK	DivideCLK	MonCLK(R)
0xD	R	MonRXACTIVE	MonRXERROR	MonLINESTATE1	MonLINESTATE0
0xE	R/W	-	-	MonRXERROR(R)	LatRXERROR
0xF	R/W	-	-	-	TXSTART

【図 15】

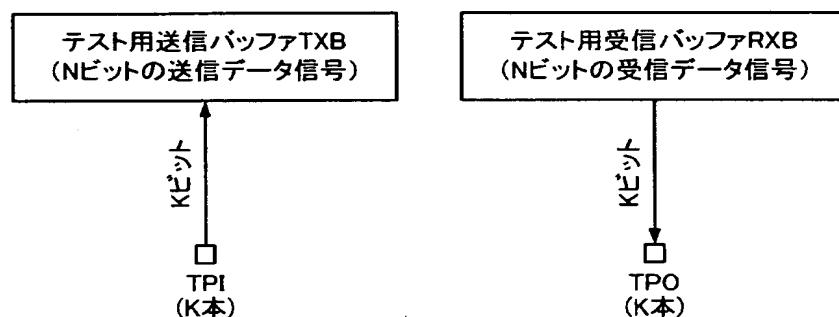
(A)



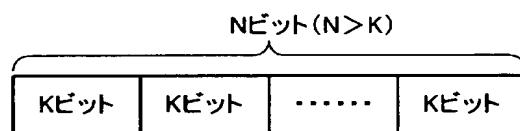
(B)



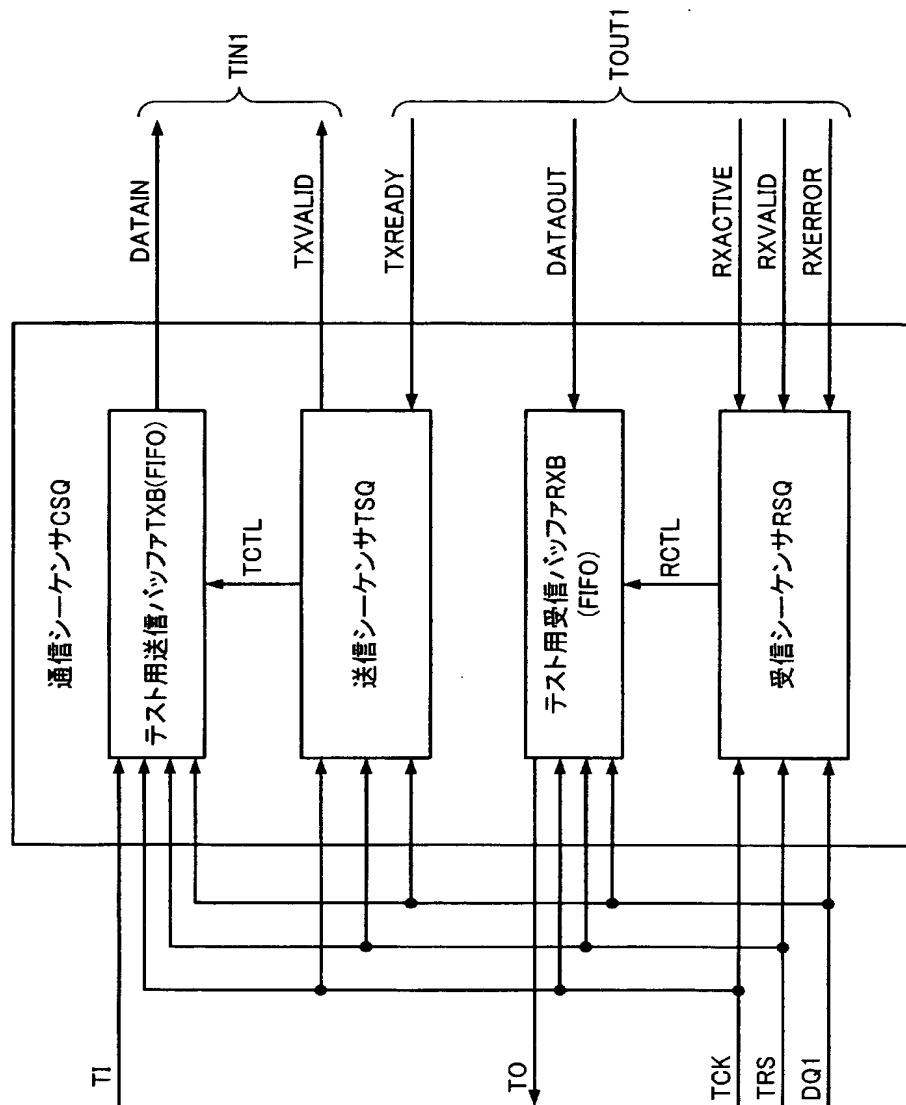
(C)



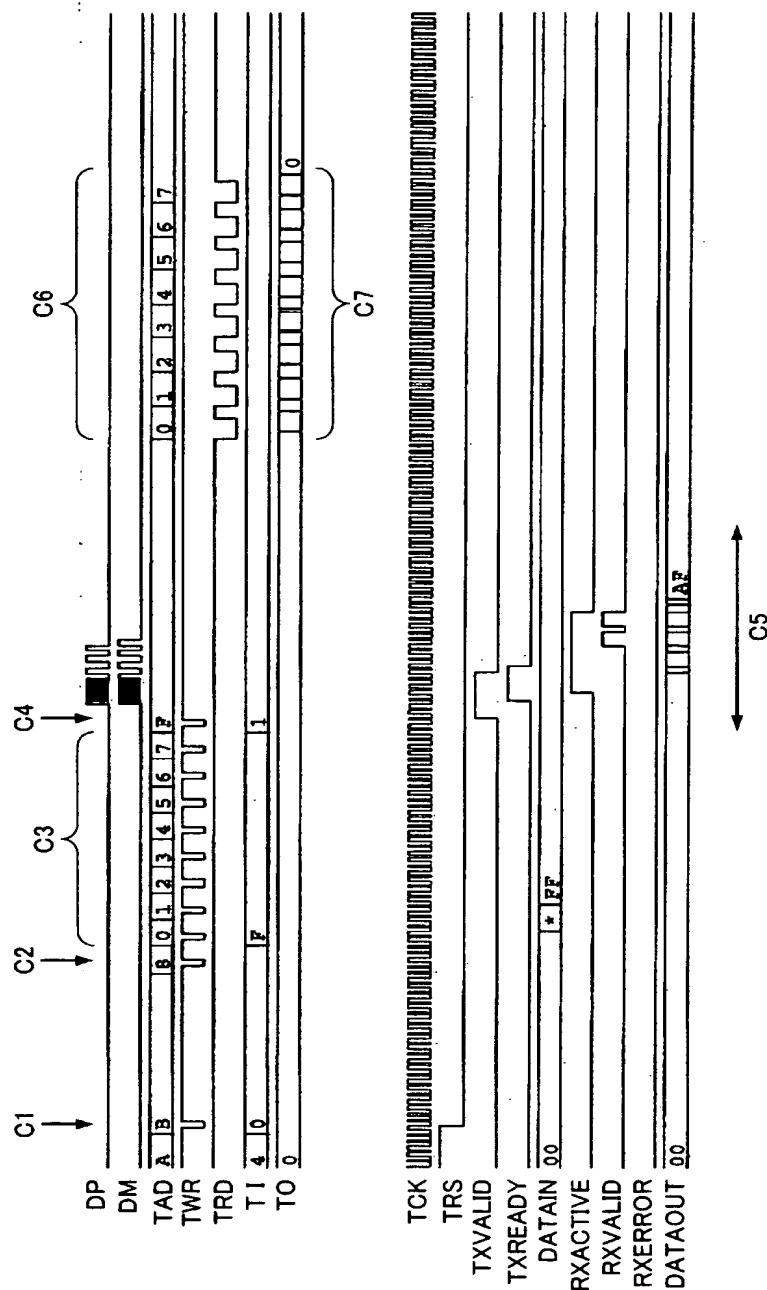
(D)



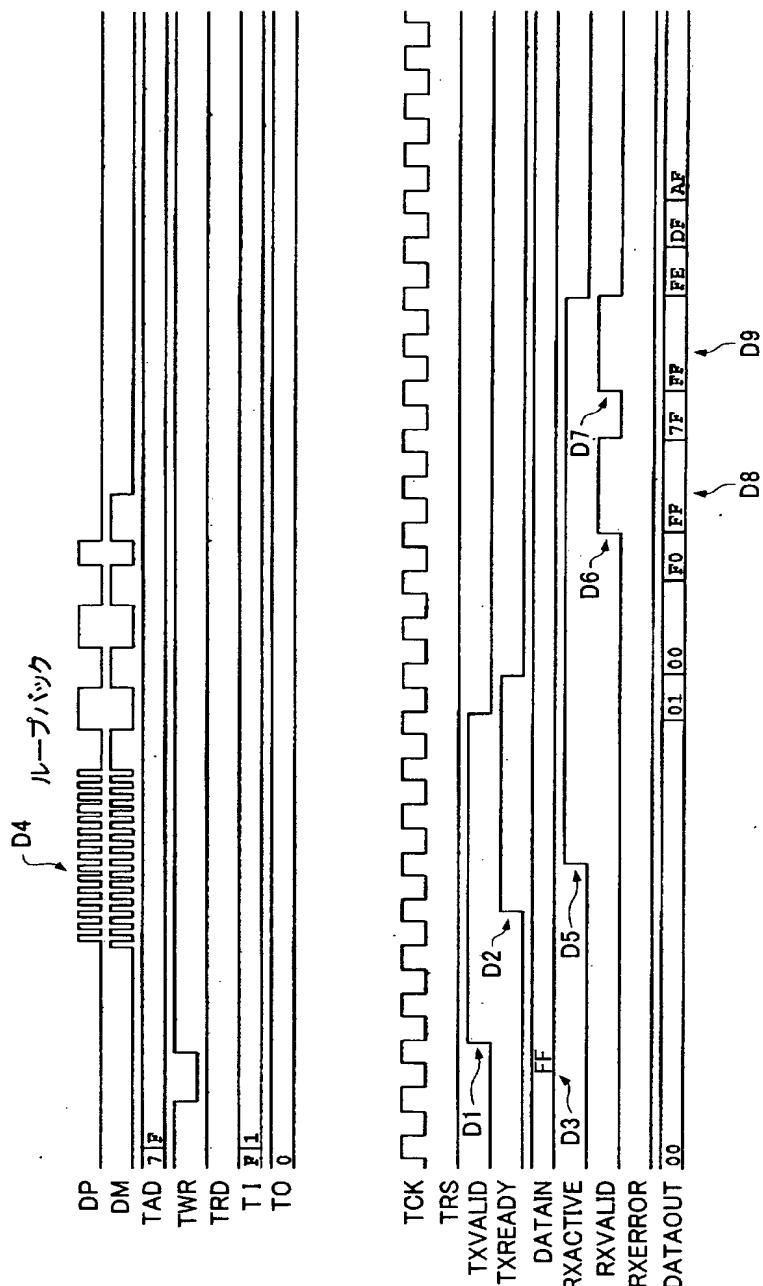
【図 16】



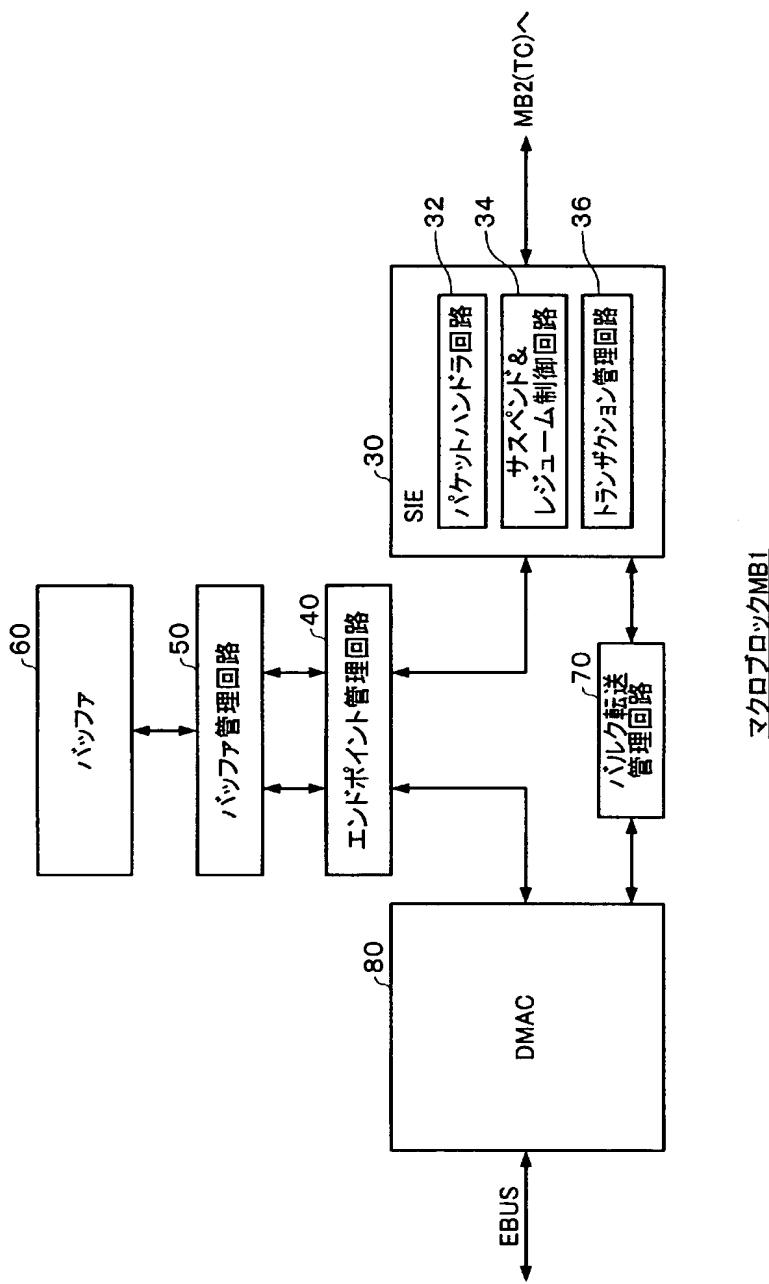
【図17】



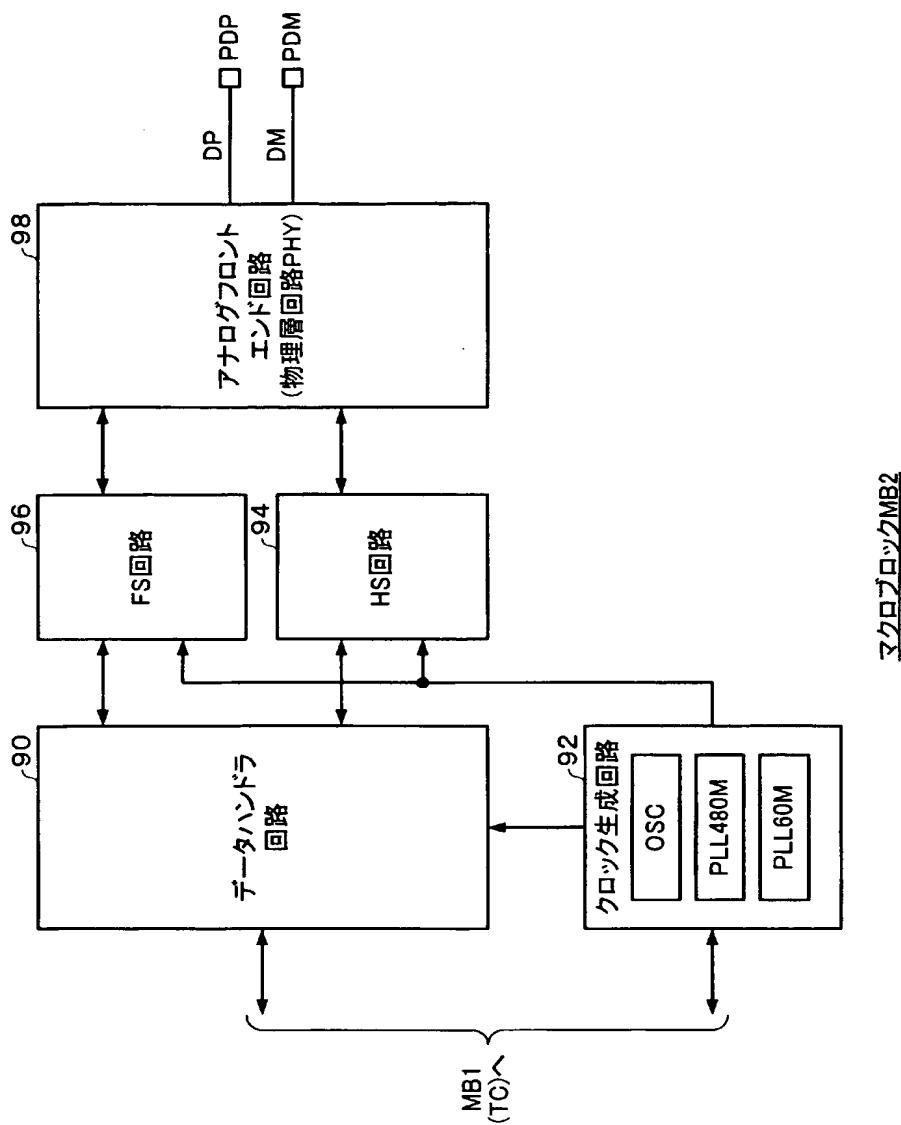
【図 18】



【図19】



【図20】



【書類名】 要約書

【要約】

【課題】 データ通信用の物理層回路を含むマクロブロックのテストに最適なテスト回路、集積回路、テスト方法を提供すること。

【解決手段】 通信用の物理層回路 P H Y を含むマクロブロック MB 2 は送受信処理をマクロブロック MB 1 との間でクロック周波数 C F 1 で行う。テスト回路 T C は、テスト入力端子 T P I からの送信データ信号を C F 1 よりも遅い周波数 C F 2 で蓄積するテスト用送信バッファ T X B と、受信データ信号を C F 1 よりも遅い周波数 C F 3 でテスト出力端子 T P O に出力するテスト用受信バッファ R X B を含む。送信バッファ T X B は端子 T P I からの送信データ信号を周波数 C F 2 で蓄積した後、蓄積した送信データ信号を MB 2 に周波数 C F 1 で出力する。受信バッファ R X B は、MB 2 からの受信データ信号を周波数 C F 1 で蓄積した後、蓄積した受信データ信号を周波数 C F 3 で端子 T P O に出力する。

【選択図】 図 5

特願 2003-022274

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住所 東京都新宿区西新宿2丁目4番1号  
氏名 セイコーエプソン株式会社